

2019 年度

青山学院大学審査学位論文

主査 松谷 康之 教授

時間量子化技術によるセンサノード用アナログ
回路の高機能化に関する研究

A Study of Highly Functional Analog Circuits with
Time Quantization Technique for Sensor Nodes

理工学研究科

理工学専攻

稲垣 雄志

概要

近年、IoT (Internet of Things) の実用化が進められており、スマートホーム、スマートグリッド、スマート農業、高度交通システムなどの実現が期待されている。農業や交通など広い範囲での状況監視が必要な用途では、多数のセンサノードで構成されるセンサネットワークを用いて情報収集を行う。センサネットワークの構築および維持管理のコストを低減するため、小型で低消費電力なセンサノードが必要とされている。センサノードは AFE (Analog Front-End) や通信回路などのアナログ回路で構成されているが、アナログ回路は微細プロセスの適用による小型化や電源電圧の切り下げによる低消費電力化が難しい。一方、デジタル回路はプロセス微細化と電源電圧切り下げにより、小型化、高性能化、低消費電力化を実現できる。このため、デジタル回路素子を用いて、電圧ではなく時間を信号として扱う時間領域信号処理技術が注目されている。時間信号は電源電圧の切り下げによる SN 比 (SNR: Signal-to-Noise Ratio) の劣化が少なく、低消費電力化に有利である。また、デジタル回路素子を用いるため、プロセス微細化による小型化、高性能化を実現できる。時間領域信号処理技術の中でも時間量子化を行う TDC (Time-to-Digital Converter) は、入力された時間信号をデジタル値へ変換する回路である。TDC は時間の測定だけでなく、距離や形状の測定にも用いられており、応用の幅が広く研究開発が盛んである。ADC (Analog-to-Digital Converter) や PLL (Phase-Locked Loop) などのアナログ回路に TDC を組み込むことにより、電源電圧低下による性能劣化を低減する研究も行われている。しかし、アナログ回路へ TDC を応用することにより、性能改善だけでなく時間量子化を活かした機能を付加する例は少なく、回路の高機能化には余地がある。

以上のことから本研究では、センサノードを構成するアナログ回路へ時間量子化技術 (TDC) を応用し、低い電源電圧への対応に加えて高機能化を実現することを目的とする。具体的なセンサノード要素回路として、距離センサ回路、イメージセンサ回路、ADC、PLL を検討対象とし、時間量子化技術を応用した回路構成を提案した。いずれの提案回路も、時間領域で量子化を行うことから、電源電圧切り下げによる性能劣化を抑えることができる。提案回路について、シミュレーションまたはテストチップを用いた評価により、優れた性能と時間量子化を活かした機能を実現できることを確認した。このことから、アナログ回路に対して時間量子化技術を応用することが有効であり、アナログ回路の低電圧対応に加えて高機能化が可能であると結論付けられる。これにより、センサノードの低消費電力化と高機能化に繋がり、センサネットワークのコスト削減と高機能化が期待できる。

このように本論文では、時間量子化技術によるセンサノード用アナログ回路の高機能化について述べている。具体的なセンサノード要素回路として距離センサ回路、イメージセンサ回路、ADC、PLL について時間量子化技術の応用を検討した。本論文は全 7 章で構成され、各章の概要は下記の通りである。

第1章「序論」では、はじめに本研究の背景としてIoTとセンサノードについて述べた。IoTの実用化と普及に向けて、多数のセンサを低コストで設置、維持するため小型かつ低消費電力なセンサノードが求められている。センサノードの構成要素であるAFEや通信回路はアナログ回路で構成されているため、小型化や低消費電力化が難しい。一方、デジタル回路はCMOS (Complementary Metal Oxide Semiconductor) プロセスの微細化と電源電圧の切り下げにより、小型化、高性能化、低消費電力化を実現できる。このため、デジタル回路素子を用いて、電圧ではなく時間を信号として扱う時間領域信号処理技術が注目されている。時間信号は電源電圧の切り下げによるSN比の劣化が少なく、低消費電力化に有利である。また、プロセス微細化による小型化、高性能化が期待できる。時間領域信号処理技術の中でも時間量子化を行うTDCは、応用の幅が広くセンサ関連回路との親和性も高い。アナログ回路にTDCを組み込むことにより、性能を改善した例は報告されているが、時間量子化を活かした機能を付加する例は少なく、回路の高機能化には余地がある。このことから本研究では、センサノードを構成するアナログ回路について、低い電源電圧への対応に加えて高機能化を実現することを目的とした。

第2章「時間量子化技術とTDC」では、時間量子化技術の核となる回路であるTDCの概要、性能指標、構成方式について述べた。TDCは2つのパルスの立ち上り時間差をデジタル値へ変換する回路である。ps単位の分解能を実現するため、論理ゲートの伝搬遅延時間を利用した構成が主流である。代表的な性能指標として、分解能、ダイナミックレンジ、サンプリングレートが挙げられるが、各性能指標はトレードオフの関係にある。回路構成の分類として、フラッシュ型、バーニア型、サブレンジング型、サイクリック型、SAR (Successive Approximation Register) 型、リング発振器型、DLL (Delay Locked Loop) とカウンタを併用した構成が挙げられるが、それぞれ長短があるため応用先によって使い分ける必要があることを明らかにした。

第3章「距離センサへの応用」では、はじめに距離センサの概要と分類、ToF (Time of Flight) 方式距離センサの原理について述べた。距離センサは、媒体および測定原理により種々の構成方式が存在するが、その中でもToF方式の光学式距離センサは優れた性能を有する。ToF方式では、光の反射時間の測定と量子化にTDCを用いるが、距離測定の性能向上のため、広ダイナミックレンジ、高分解能、高速なTDCが求められる。本研究では、距離センサに用いるTDCとして、小さな回路面積で高分解能と広ダイナミックレンジを実現できるサイクリック型TDCに着目し、可変遅延回路によりサンプリングレートを高速化できる構成を提案した。提案回路のシミュレーションを行った結果、分解能10 ps/LSB以下で ± 18.7 nsという広いダイナミックレンジを有すること、従来のサイクリック型TDCよりもサンプリングレートを70倍以上高速化できることを確認した。このことから、高分解能かつ高速動作可能なTDCの実現にあたり、サイクリック構成が有効であることを明らかにした。

第4章「イメージセンサへの応用」では、はじめにイメージセンサの一般的な構成と性能指標について述べた。イメージセンサはカメラ内において被写体から受けた光を電気信号へ変換し、画像を得るデバイスである。近年は高解像度化により画素面積が小さくなっていることから、ダイナミックレンジの確保が難しくなっている。ダイナミックレンジの拡大技術としてHDR (High Dynamic Range) 合成が広く採用されているが、複数回の露光を伴うため、カメラまたは被写体が動いている場合は画像にブレが生じる。そこで本研究では、TDCを用いてPD (Photo Diode) の飽和時間を検出することにより、複数回露光を行わずにダイナミックレンジを拡大する技術に着目し、これを小さな画素面積で実現できる回路構成を提案した。提案回路では、PDの飽和時間を電圧として画素内の容量で保持し、露光後に読み出す構成とした。提案回路のシミュレーションを行った結果、100 dBを超える広いダイナミックレンジの実現が期待できることを確認した。このことから、イメージセンサのダイナミックレンジ拡大に対し、時間量子化技術が有効である見通しが得られた。

第5章「ADCへの応用」では、はじめにADCの概要と対数圧縮について述べた。ADCは電圧をデジタル値へ変換する回路である。光の測定や無線通信などADC入力信号の振幅が大きく変動する用途では、ADCのダイナミックレンジを補うため対数アンプを用いて信号を圧縮することがある。しかし、従来の対数アンプはCMOSプロセスで製造できず、比較的高い電源電圧を必要とする課題があった。そこで本研究ではラッチドコンパレータの過渡応答とTDCを用いて、時間軸上で対数圧縮とアナログ-デジタル変換を行う対数圧縮ADCを提案した。提案回路では、ラッチドコンパレータのセットリング時間が入力電圧の対数に比例することを利用して対数圧縮を行い、セットリング時間をTDCでデジタル値へ変換する。提案回路のテストチップを試作し評価した結果、一定以下の入力電圧においてENOB (Effective Number Of Bit) 6-bitのTDCで12-bit相当のダイナミックレンジが得られた。よって、時間軸上での対数圧縮とアナログ-デジタル変換が可能であること、対数圧縮によるダイナミックレンジ拡大効果を確認した。このことから、対数圧縮によるADCのダイナミックレンジ拡大に対し、時間量子化技術が有効であることを確認した。

第6章「PLLへの応用」では、はじめにPLLの概要を述べた後、従来のADPLL (All-Digital PLL) の構成と動作、課題について述べた。PLLはプロセッサ等に供給するクロック信号や通信の搬送波の生成に使用される回路である。従来のアナログPLLでは、電圧で発振器を制御するため、電源電圧が低下すると性能劣化が避けられなかった。また、外付け部品のアナログフィルタが必要なこと、プロセス変更時に設計修正が多いなどの問題があった。この問題に対し、回路の大部分をデジタル回路で構成したADPLLが提案された。ADPLLではTDCにより位相差検出を行い、デジタル値で発振器を制御する。本研究では、回路の小型化とロックの高速化のためデジタルフィルタを用いないADPLLの構成を検討した。提案回路のシミュレーションを行った結果、先行研究のADPLLと比較して10倍以上高速にロックできることを確認した。このことから、PLLのロック高速化に対して、時

間量子化技術が有効である見通しが得られた。

第7章では、本研究を総括し、結論を述べた。

目次

第1章 序論.....	1
1.1 まえがき	1
1.2 本研究の背景.....	2
1.2.1 IoT とセンサノード.....	2
1.2.2 CMOS プロセス微細化とアナログ回路.....	3
1.2.3 時間領域信号処理.....	4
1.3 本研究の目的.....	5
1.4 本論文の構成.....	7
第2章 時間量子化技術と TDC.....	9
2.1 まえがき	9
2.2 TDC の概要.....	9
2.3 TDC の性能指標	10
2.4 TDC の構成方式	15
2.4.1 フラッシュ型	15
2.4.2 バーニア型.....	16
2.4.3 サブレンジング型.....	17
2.4.4 サイクリック型.....	19
2.4.5 SAR 型	20
2.4.6 リング発振器型.....	22
2.4.7 DLL とカウンタを併用した構成.....	23
2.4.8 構成方式の特徴まとめ.....	26
2.5 TDC の応用先.....	28
2.6 まとめ.....	28
第3章 距離センサへの応用	29
3.1 まえがき	29
3.2 距離センサの概要.....	29
3.2.1 距離センサの分類.....	29
3.2.2 ToF 方式距離センサの原理.....	31
3.3 可変遅延回路を用いたサイクリック型 TDC	32
3.3.1 提案回路の特徴.....	32
3.3.2 回路構成と動作原理	33
3.3.3 絶対精度の保証.....	38
3.3.4 シミュレーションによる評価.....	39

3.4	まとめ	42
第4章	イメージセンサへの応用	43
4.1	まえがき	43
4.2	イメージセンサの概要	43
4.2.1	イメージセンサの一般的な構成と動作原理	43
4.2.2	暗電流と埋め込み PD	47
4.2.3	代表的な性能指標	48
4.3	画素内容量とカラム ADC による PD 飽和時間検出	50
4.3.1	PD 飽和時間検出の概要	50
4.3.2	回路構成と動作原理	52
4.3.3	T_{sat} オフセット誤差	55
4.3.4	出力コードの線形化	57
4.3.5	シミュレーションによる評価	58
4.4	まとめ	62
第5章	ADC への応用	63
5.1	まえがき	63
5.2	ADC の概要	63
5.3	ラッチドコンパレータの過渡応答を用いた対数圧縮 ADC	64
5.3.1	対数圧縮 ADC の概要	64
5.3.2	回路構成と動作原理	65
5.3.3	対数圧縮 ADC に用いる TDC の構成	69
5.3.4	テストチップの評価	71
5.4	まとめ	75
第6章	PLL への応用	76
6.1	まえがき	76
6.2	PLL の概要	76
6.2.1	PLL の基本構成と動作原理	76
6.2.2	PLL の性能指標と応用先	78
6.3	ADPLL の概要	79
6.3.1	アナログ PLL の問題点	79
6.3.2	構成と動作原理	79
6.4	デジタルフィルタを用いない ADPLL	81
6.4.1	全体構成と動作原理	81
6.4.2	ADPLL に用いる TDC の構成	86
6.4.3	基準周波数偏差への対応	87

6.4.4 シミュレーションによる評価.....	89
6.5 まとめ.....	97
第7章 結論.....	98
文献.....	101
謝辞.....	112
研究業績	113

第1章 序論

1.1 まえがき

近年、IoT (Internet of Things) の実用化が進められており、スマートホーム、スマートグリッド、スマート農業、高度交通システム、予防医療などの実現が期待されている。農業や交通など広い範囲での状況監視が必要な用途では、多数のセンサノードで構成されるセンサネットワークを用いて情報収集が行われる。センサネットワークの構築および維持管理の低コスト化のため、小型で低消費電力なセンサノードが必要とされている[1]。センサノードに用いられている AFE (Analog Front-End)¹や通信回路はアナログ回路で構成されている。アナログ回路の性能を維持するためには素子の製造ばらつきを抑え、信号振幅を確保する必要があるため、微細プロセスの適用による小型化や電源電圧の切り下げによる低消費電力化が難しい。一方、デジタル回路はプロセス微細化と電源電圧切り下げにより、小型化、高性能化、低消費電力化が実現できる。このため、デジタル回路素子を用いて、電圧ではなく時間を信号として扱う時間領域信号処理が注目されている[2][3]。時間信号は電源電圧の切り下げによる SN 比 (SNR: Signal-to-Noise Ratio) の劣化が少なく、低消費電力化に有利である。また、デジタル回路素子を用いるため、プロセス微細化による小型化、高性能化が実現できる。時間領域信号処理の中でも時間量子化を行う TDC (Time-to-Digital Converter) は、入力された時間信号をデジタル値へ変換する回路である。TDC は時間の測定だけでなく、距離や形状の測定にも用いられており[4][5]、応用の幅が広く研究開発が盛んである。ADC (Analog-to-Digital Converter) や PLL (Phase-Locked Loop) などのアナログ回路に TDC を組み込むことにより、性能を改善した例も報告されている[6]~[8]。しかし、アナログ回路へ TDC を応用することにより、性能改善だけでなく時間量子化を活かした機能を付加する例は少なく、回路の高機能化には余地がある。

以上のことから本研究では、センサノードを構成するアナログ回路へ時間量子化技術 (TDC) を応用し、低い電源電圧への対応に加えて高機能化を実現することを目的とする。具体的なセンサノード要素回路として、距離センサ回路、イメージセンサ回路、ADC、PLL を検討対象とする。これらの回路について、TDC を含めた回路構成と付加機能を検討し、シミュレーションまたはテストチップを用いて動作と性能を評価する。本研究で提案する回路を用いることで、センサノードの低消費電力化と高機能化に繋がり、センサネットワークのコスト削減と高機能化を期待する。

本章では、はじめに本研究の背景として、IoT とセンサノード、CMOS (Complementary Metal Oxide Semiconductor) プロセス微細化とアナログ回路、時間領域信号処理について述べる。続いて、本研究の目的と本論文の構成について述べる。

¹ センサの出力信号を増幅、フィルタリングした後、デジタル値へ変換するアナログ回路。主にアンプ、フィルタ、ADC で構成される。

1.2 本研究の背景

1.2.1 IoT とセンサノード

IoT とは、PC やスマートフォンなど人が利用する情報端末だけではなく、家電や車、ビルや農場などあらゆる物をインターネットに接続し、生活や産業の利便性、経済性、安全性を向上させる技術の総称である。全世界の IoT デバイス数は、図 1.1 に示すように 2018 年度で 300 億台を超えており、実用化が急速に進んでいる。IoT の活用先としてスマートホーム、スマートグリッド、スマート農業、高度交通システム、予防医療など様々な分野が挙げられる。特に、農業や交通など広い範囲での状況監視が必要な用途では、図 1.2 に示すように、多数のセンサノードで構成されるセンサネットワークを用いて情報収集が行われる。センサノードから得られた情報は、クラウド（サーバ）で保存と処理が行われ、農業であれば収穫量の最大化、交通であれば渋滞の解消などに活かされる。センサノードは温度や光、音などの環境情報を取得するデバイスで、図 1.3 に示すように、単一または複数のセンサ、AFE、MCU（Micro Controller Unit）、通信回路、電源で構成される。センサの出力信号は AFE でデジタル値へ変換され、MCU で処理された後、通信回路よりゲートウェイやクラウドへ送信される。多数のセンサノードを容易に設置するため低コストで小型であることが求められる。また、センサノードの電源として電池が用いられることが多い[10]が、メンテナンスコスト削減のため電池交換が長期間不要であることが望ましい。このためセンサノードを構成する回路（LSI: Large Scale Integrated circuit）は低消費電力であることが求められる。また、電池交換を完全に不要とするために、光や熱などを利用した環境発電（エナジーハーベスト）も利用されることがあるが、その供給電力は数十 uW～数 mW 程度[10]と非常に小さいため、さらなる低消費電力化が求められる。一般に、回路の低消費電力化には動作周波数が電源電圧の切り下げが必要となる。動作周波数は、入力信号の周波数や処理す

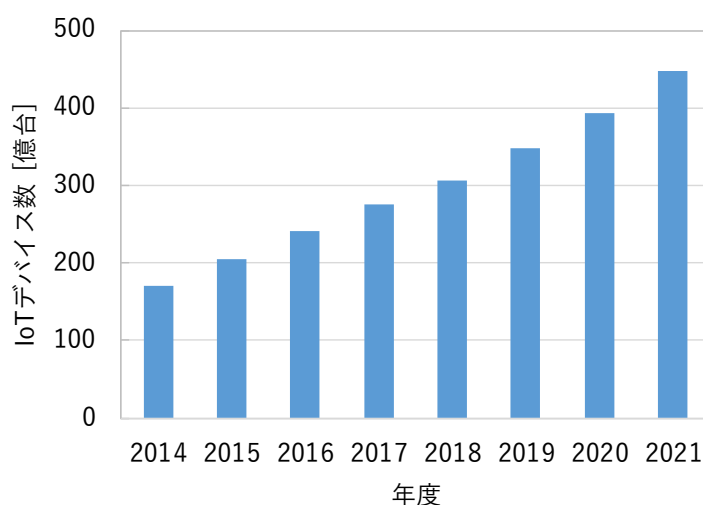


図 1.1 IoT デバイス数の推移と予測（文献[9]をもとに作成）

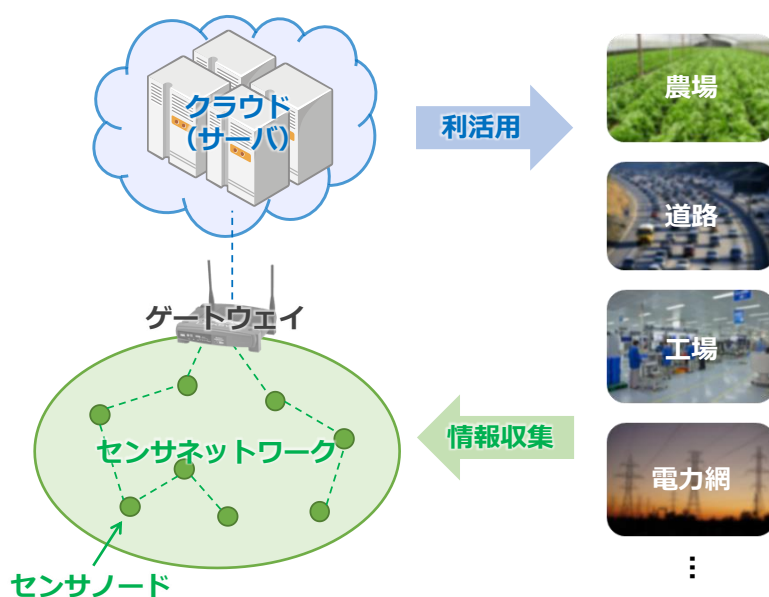


図 1.2 センサネットワークを用いた情報収集と利活用

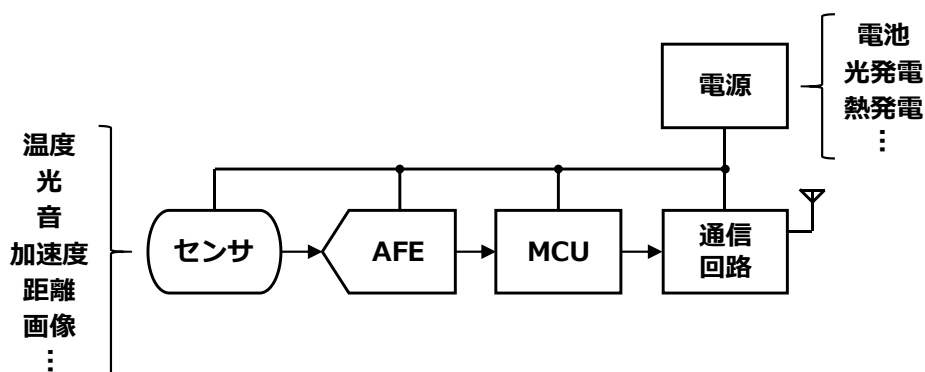


図 1.3 センサノードの構成

るデータ量によって決まるため下げることが難しい。一方、電源電圧を下げた場合、センサ、AFE、通信回路等のアナログ回路では次項で述べる性能劣化が生じる。

1.2.2 CMOS プロセス微細化とアナログ回路

LSI 内の回路は、電圧や電流を連続的に処理するアナログ回路と、2 値化された電圧を離散的に処理するデジタル回路に分けられる。LSI は、1980 年代から CMOS プロセスでの製造が主流になって以来、加工寸法の微細化によって性能を向上してきた。デナードのスケールリング則[11]によると、トランジスタの寸法と電源電圧を $1/k$ 倍、不純物密度を k 倍にすると集積密度は k^2 倍、伝搬遅延時間は $1/k$ 倍、消費電力は $1/k^2$ 倍になる。これにより、デジタル回路は面積縮小や動作周波数向上を実現できた。また、2 値化された電圧を扱うためノイズ耐性が高く、電源電圧の切り下げにも対応できた。一方アナログ回路は、素子ばらつき

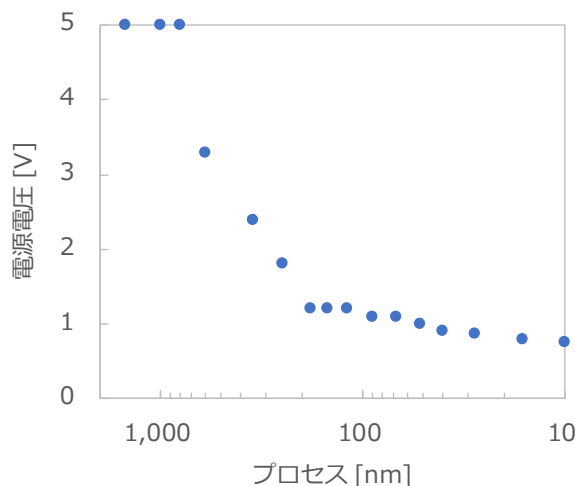


図 1.4 プロセスと電源電圧の関係（文献[12]～[14]をもとに作成）

の増大により精度が劣化し、ドレイン抵抗の減少により利得も減少する。さらに、電源電圧の切り下げにより SN 比やダイナミックレンジが劣化したり、回路構成へ制限が生じるなど悪影響が大きい。なお、図 1.4 に示すように、先端プロセスでは電源電圧は 1 V 程度まで引き下げられている。これに対し、アナログ回路の性能劣化をデジタル回路により補正するデジタルアシストアナログ技術の研究開発が進んでいる[15]。また、電圧ではなく時間を信号として扱うアナログ回路も注目されている[2][3]。時間信号は電源電圧の切り下げによる振幅の制限がなく、SN 比やダイナミックレンジの劣化も少ない。また、プロセス微細化により回路の伝搬遅延時間が小さくなるので、動作速度や分解能を高くできる。このように時間領域で信号処理（TMSP: Time Mode Signal Processing）を行う回路は、低消費電力化に適しており、プロセス微細化により性能向上も期待できる。

1.2.3 時間領域信号処理

時間領域で信号処理を行う代表的な回路と機能を下記に挙げる。

- (1) TVC (Time-to-Voltage Converter) : 時間信号を電圧へ変換
- (2) VTC (Voltage-to-Time Converter) : 電圧を時間信号へ変換
- (3) TDC (Time-to-Digital Converter) : 時間信号をデジタル値へ変換
- (4) DTC (Digital-to-Time Converter) : デジタル値を時間信号へ変換
- (5) TA (Time Amplifier) : 時間信号の増幅

TVC と VTC は古くからアナログ回路に用いられている。例えば、プロセッサや通信回路のクロックを生成する PLL では、TVC に該当するチャージポンプが用いられている。また、D 級アンプやスイッチング電源で使用されている PWM (Pulse Width Modulation) 回路は VTC に該当する。

TDCは、入力された時間信号を量子化してデジタル値を出力する回路である。1980年代に素粒子実験において粒子の飛行時間を測定するために開発された[16][17]。2000年代に入ってから、ADCやPLLへTDCを組み込んだ回路が提案されている[6]~[8]。2010年頃から研究開発が盛んな自動運転車ではLiDAR (Light Detection And Ranging) と呼ばれるレーダーが広く採用されている[18]~[20]。LiDARは測定対象にレーザー光を照射し、反射波が返ってくるまで時間から距離を検出するが、反射時間の測定にはTDCが用いられている[21]。なお、DTCとTAはTDCの要素回路として用いられている[22]~[24]。このように、時間量子化を行うTDCはセンサとの関連が深く、性能向上を目指した研究開発が盛んに行われている。アナログ回路にTDCを組み込むことにより、性能を改善した例は報告されているが[6]~[8]、時間量子化を活かした機能を付加する例は少なく、回路の高機能化には余地がある。

1.3 本研究の目的

1.2節で述べた背景から、センサノードを構成するアナログ回路に対して時間量子化技術(TDC)を応用して低い電源電圧に対応した回路構成を検討する。また、低電圧への対応だけでなく、時間量子化を活かした機能を付加することによりアナログ回路の高機能化を目的とする。これによりセンサノードの低消費電力化と高機能化に繋がり、センサネットワークのコスト削減と高機能化が期待できる。本研究の対象領域を図1.5に、具体的な検討対象と波及効果を図1.6に示す。本研究では下記のセンサノード要素回路について検討を行った。

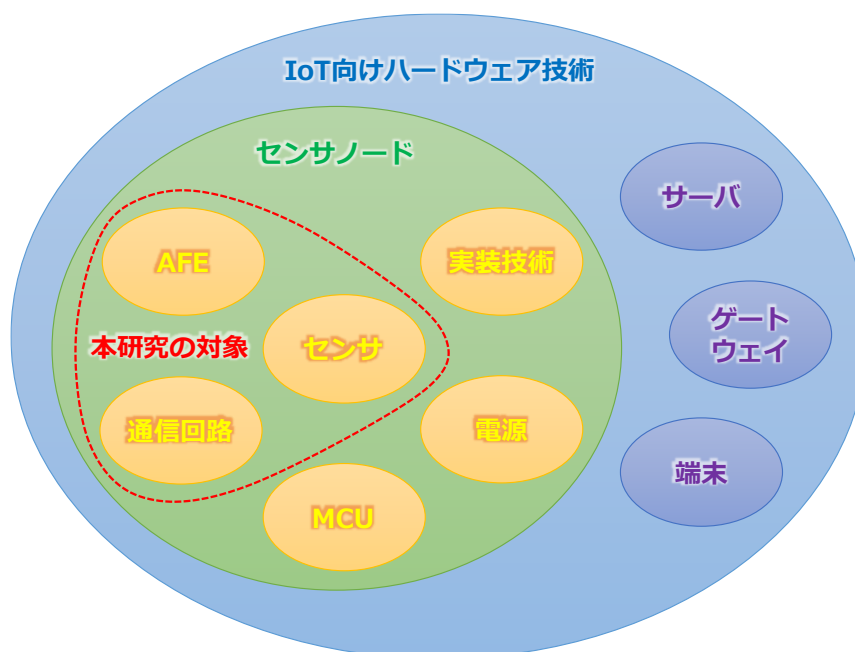


図 1.5 本研究の対象領域

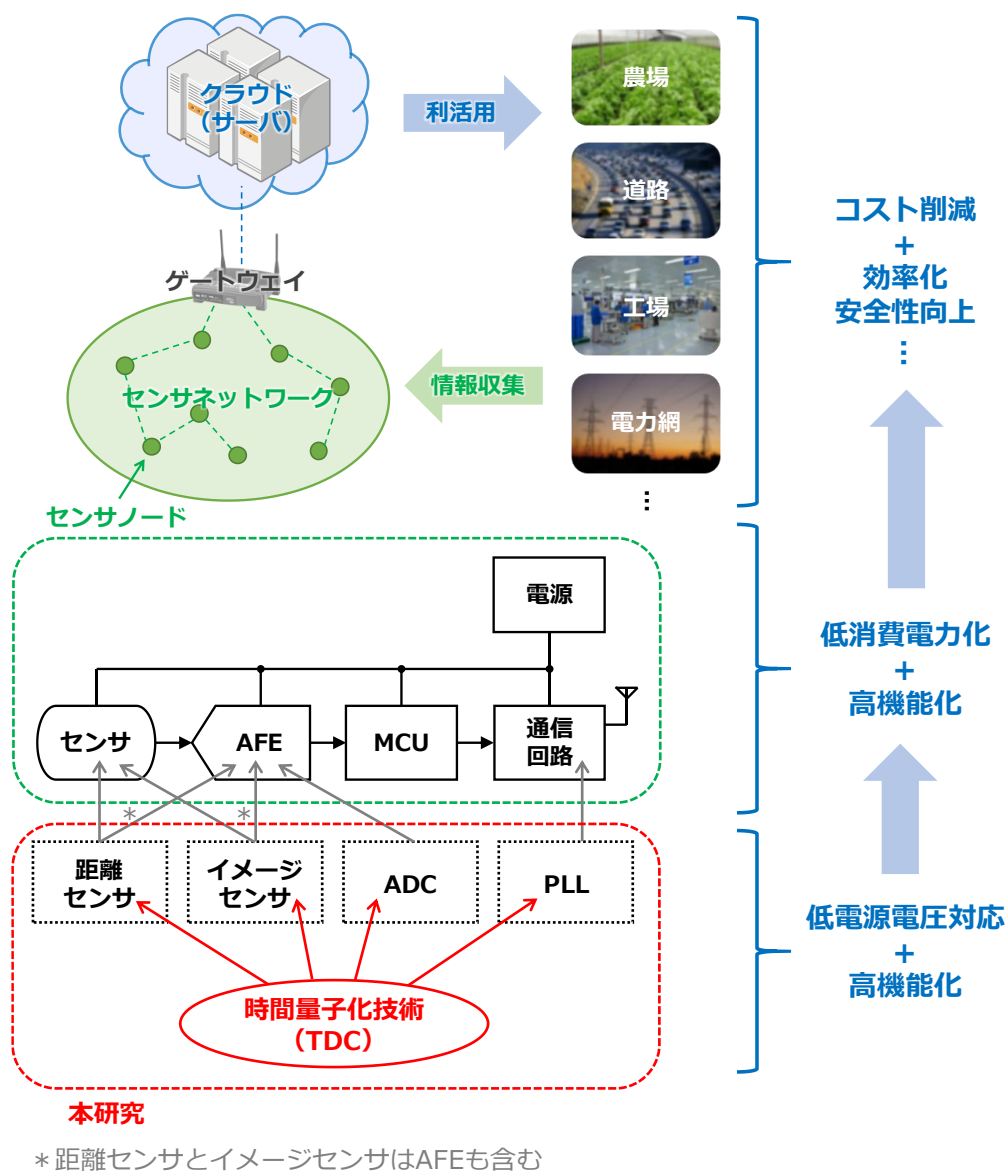


図 1.6 本研究の検討対象と波及効果

(1) 距離センサ回路 (第3章)

距離センサは、測定対象へ光または超音波を照射し、その反射時間を測定することにより距離を測定するデバイスである。時間の測定と量子化には TDC が用いられる。土木や建築における測量で使用されてきたが、近年は自動運転や顔認証などでも使用されている。特に物体の位置や形状を測定する用途においては、高分解能かつ高速な TDC が求められる。本研究では、距離センサの要素回路として小さな回路面積で高分解能、高ダイナミックを両立できるサイクリック型 TDC に着目した。サイクリック型 TDC は変換速度に課題があったが、可変遅延回路を用いて変換の高速化を検討した。

(2) イメージセンサ回路 (第4章)

イメージセンサはレンズを通した受けた被写体の光を電気信号に変換し、画像データを取得するデバイスである。デジタルカメラだけではなく、車載カメラや監視カメラにも使用されており、需要と用途が急拡大している。特に車載や監視用途では、常時撮影を行うため低消費電力化が求められている。また、トンネルや建物の出入り口など明暗差が大きいシーンに対応するため、ダイナミックレンジ拡大が求められている。本研究では、時間量子化技術を応用して PD (Photo Diode) の飽和時間を検出する機能を追加し、広ダイナミックレンジを実現できるイメージセンサの回路構成を検討した。

(3) ADC (第5章)

ADC は電圧をデジタル値へ変換する回路で、電圧計測だけではなく各種センサと組み合わせることで音声、光強度、温度、圧力などの物理量をデジタル化する。家電製品や工場設備などあらゆる機器に使用されており、生活と産業に欠かせない回路である。特に光の測定を伴う用途では、光強度の範囲が大きいことから、ADC のダイナミックレンジを補うため対数アンプにより信号を圧縮することがある。しかし、従来の対数アンプは CMOS プロセスで製造できず、比較的高い電源電圧を必要とする課題があった。本研究ではラッチドコンパレータの過渡応答と TDC を用いて、時間軸上で対数圧縮とアナログ-デジタル変換を行う対数圧縮 ADC を提案する。

(4) PLL (第6章)

PLL はプロセッサや通信回路へ供給される高速クロックを生成する回路で、情報処理や通信に欠かせない回路である。従来の PLL (アナログ PLL) は、外付けのフィルタ部品が必要であること、低電源電圧では位相雑音が増加してしまう課題があった。これに対し、TDC と DCO (Digitally Controlled Oscillator)、デジタルフィルタを用いることにより大部分をデジタル回路で構成した ADPLL (All-Digital PLL) が提案されている [25]。センサノード内の通信回路は低消費電力化のため間欠動作を行うことが多い [26] が、オフ状態からオン状態に遷移する際、素早い通信の確立が求められる。PLL のロック時間は、通信の確立に要する時間を左右するため短い方が望ましい。本研究では TDC を用いて周波数誤差を検出する機能を追加し、高速なロックを実現できる ADPLL の構成を検討した。

1.4 本論文の構成

本論文の構成を図 1.7 に示す。

第1章では、本研究の背景と目的について述べた。

第2章では、時間量子化技術と TDC の概要を述べた後、TDC の代表的な性能指標を述べる。続いて、TDC の各構成方式について、回路構成と動作原理、性能と特徴を説明する。

第3章では、距離センサの概要を述べた後、距離センサの要素回路として提案する可変遅延回路を用いたサイクリック型 TDC の構成と動作について述べ、シミュレーションによ

る性能評価結果を示す。

第4章では、イメージセンサの概要を述べた後、本研究で提案する、画素内容量とカラムADCを用いたPD飽和時間検出を行うイメージセンサの構成と動作について述べ、シミュレーションによる性能評価結果を示す。

第5章では、ADCと対数圧縮の概要を述べた後、本研究で提案するラッチドコンパレータの過渡応答とTDCを用いた対数圧縮ADCの構成と動作について述べ、テストチップの性能評価結果を示す。

第6章では、PLLの概要を述べた後、従来のADPLLの構成と動作、課題について述べる。その後、本研究で提案するデジタルフィルタを用いないADPLLの構成と動作について述べ、シミュレーションによる性能評価結果を示す。

第7章では、本研究を総括し、結論を述べる。

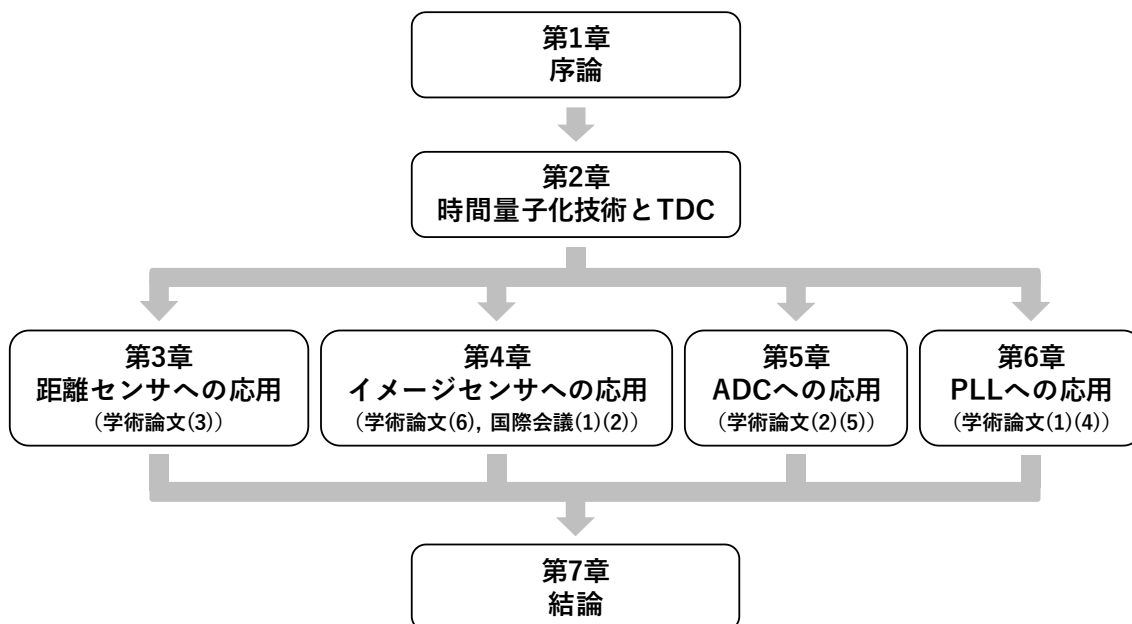


図 1.7 本論文の構成

第2章 時間量子化技術と TDC

2.1 まえがき

TDC は時間量子化技術の核となる回路である。1980 年代に素粒子実験において粒子の飛行時間を測定するために開発されたのを皮切りに、近年は光の反射時間から物体の位置を検出する LiDAR や物体の形状を検知する距離画像センサへ応用されている。また、半導体製造プロセスの微細化によって性能の劣化が避けられない PLL や ADC などのアナログ回路に対して、TDC を組み込むことで性能を改善する研究開発も行われている。これらの応用先と要求性能にあわせて、これまでに様々な構成の TDC が提案されており、その性能も年々向上している。

本章では、はじめに TDC の概要について述べ、代表的な性能指標、構成方式と動作原理について述べる。続いて各構成方式の特徴を比較し、おわりに応用先について述べる。

2.2 TDC の概要

TDC は広義の ADC¹ の一種で、アナログ量である時間を量子化し、デジタル値へ変換する回路である。図 2.1 のように TDC へ入力される「時間」は、2つのパルス信号の立ち上がり時間の差 t_{in} である。入力される時間 t_{in} に応じたデジタル値 D_{out} が出力として得られ、TDC の入出力特性は図 2.2 のようになる。

TDC を実現する単純な構成例としてカウンタを用いた TDC を図 2.3 に示す。図 2.4 に示すように、カウンタはクロックの立ち上がり回数をカウントするが、START の立ち上がりによりカウントを開始し、STOP の立ち上がりによりカウントを停止する。

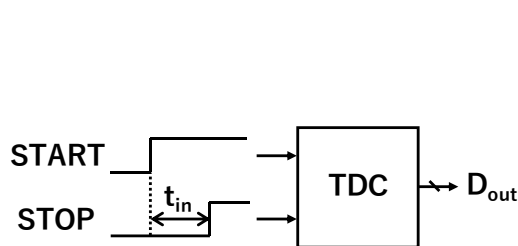


図 2.1 TDC の概念

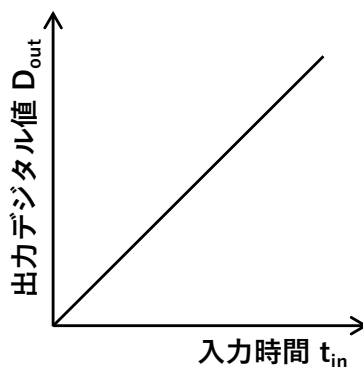


図 2.2 TDC の入出力特性

¹ 本論文では電圧をデジタル値に変換する回路を狭義の ADC として扱い、単に ADC と述べるときは狭義の ADC を指す。

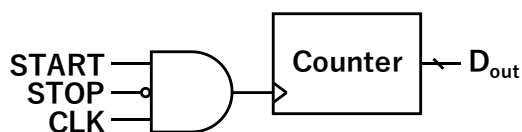


図 2.3 カウンタを用いた TDC の構成

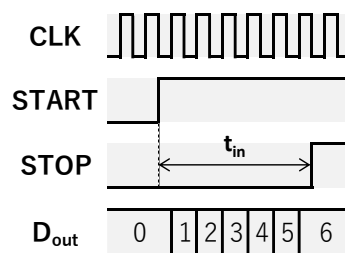


図 2.4 カウンタを用いた TDC のタイミングチャート

クロックの周期を T_{CLK} とすると、出力デジタル値 D_{out} は次式で表される。

$$D_{out} = t_{in} / T_{CLK} \tag{2.1}$$

この構成では、クロックの周期が TDC の分解能となるため、クロックの周波数を上げることにより分解能を向上できる。しかし、カウンタの動作周波数は 5 GHz 程度が上限[1]であり、分解能は 200 ps 程度に制限される。そこで、200 ps より小さい分解能が必要な場合は、論理ゲートの伝搬遅延時間を利用した構成が用いられる。その構成方式については 2.4 節で詳しく述べる。

TDC は ns~ps オーダーの微小な時間の測定が必要なシステムや回路に利用されている。TDC の応用先については 2.5 節で詳しく述べる。

2.3 TDC の性能指標

TDC の代表的な性能指標を下記に挙げて説明する。

(1) 分解能

分解能の概念を図 2.5 に示す。入力された時間を量子化する際の細かさを表す。時間分解能や LSB (Least Significant Bit; 最下位ビット) とも呼ばれる。TDC では出力デジタル値 1 LSB あたりの時間で表され、単位は s または s/LSB である。この値が小さいほど細かい量子化が行われ、分解能は高くなる。なお、ADC では出力デジタル値 1 LSB あたりの電圧 (単位 V/LSB) は最小分解能と呼ばれ、単に分解能と言う場合は出力ビット数を指す。

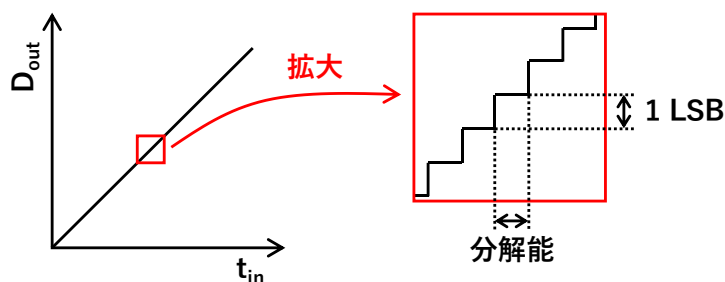


図 2.5 分解能の概念

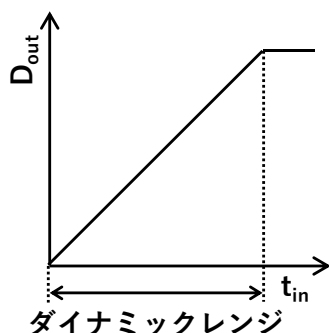


図 2.6 ダイナミックレンジの概念

(2) ダイナミックレンジ

ダイナミックレンジの概念を図 2.6 示す。入力時間の範囲または最大値であり、これを超える信号が入力された場合、出力値は飽和する。単にレンジとも呼ばれる。TDC では単位は s である。ビット数を変えずに、分解能を小さくするとダイナミックレンジは小さくなるため、分解能とダイナミックレンジはトレードオフの関係にある。なお、ADC では入力電圧の最小値に対する最大値の倍率を dB 単位で表す。

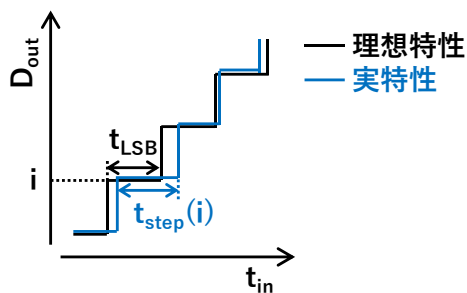
(3) 線形性

入出力特性がどれだけ直線に近いかを表す指標として DNL (Differential Non-Linearity; 微分非直線性) と INL (Integral Non-Linearity; 積分非直線性) がある。

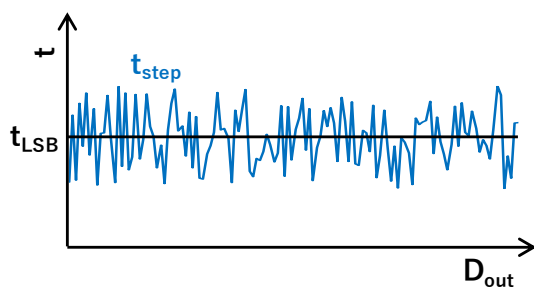
DNL の概念を図 2.7 に示す。図 2.7 (a) のように TDC の実際の入出力特性は理想からずれが生じている。出力値ごとの量子化ステップをプロットすると図 2.7 (b) のようになる。理想特性の量子化ステップは分解能に等しく一定であるが、実特性の量子化ステップは出力値ごとに変動する。理想特性の量子化ステップ t_{LSB} と実特性の量子化ステップ t_{step} の差を分解能 t_{LSB} で割ったものが DNL であり、出力値が i のときは次式で表される。

$$\text{DNL}(i) [\text{LSB}] = \frac{t_{\text{step}}(i) - t_{\text{LSB}}}{t_{\text{LSB}}} \quad (2.2)$$

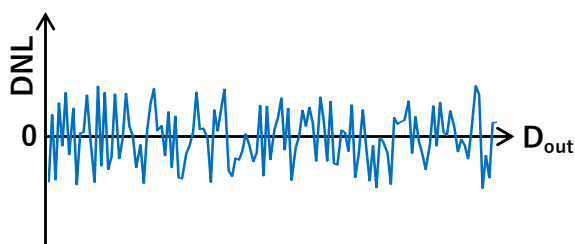
単位は LSB だが、百分率 (1 LSB = 100%) で表されることもある。図 2.7 (c) のように、横軸に出力値、縦軸に DNL をとったグラフで表示される。性能表には絶対値の最大値 (最悪値) が表示され、この値が 1 LSB 未満であればミッシングコード (出力に現れない値) がなく単調性が保証される。



(a) TDC 入出力特性 (一部を拡大)



(b) 出力値ごとの量子化ステップ



(c) DNL

図 2.7 DNL の概念

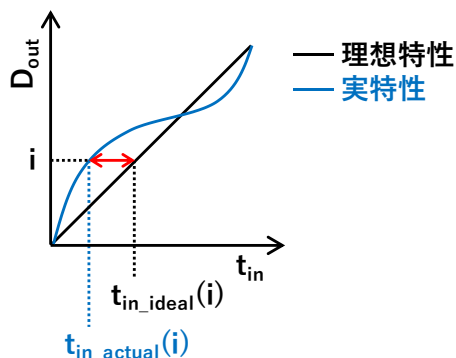
INL の概念を図 2.8 に示す。理想の入出力特性 (直線) から実際の入出力特性のずれを表す指標である。理想特性として、実特性の近似直線を採用する方法と、実特性の両端の点 (最小値と最大値) を結ぶ直線を採用する方法があるが、前者が一般的である [2]。図 2.8 (a) において、出力値 i が得られる入力時間を理想特性では $t_{in_ideal}(i)$ 、実特性では $t_{in_actual}(i)$ とすると、INL は次式で計算される。

$$INL(i) [LSB] = \frac{t_{in_ideal}(i) - t_{in_actual}(i)}{t_{LSB}} \quad (2.3)$$

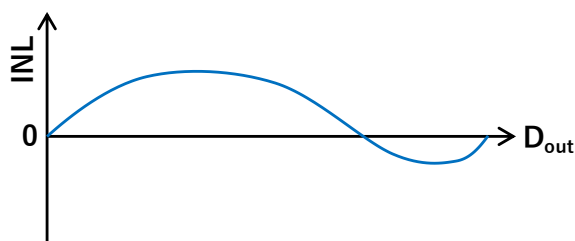
単位は LSB である。なお、DNL を次式のように積分しても求められる。

$$INL(i) [LSB] = \sum_{k=0}^i DNL(k) \quad (2.4)$$

図 2.8 (b) のように、横軸に出力値、縦軸に INL をとったグラフで表示される。性能表に



(a) TDC 入出力特性 (全体)



(b) INL

図 2.8 INL の概念

は絶対値の最大値（最悪値）が表示される。なお、ADC では入力信号は電圧となるが、INL と DNL の計算方法や表示方法は同じである。

(4) ビット数

出力デジタル値のビット数（幅） N は、分解能を t_{LSB} 、ダイナミックレンジを t_{DR} とすると次式で表される。（端数は繰り上げ）

$$N = \text{LOG}_2(t_{DR} / t_{LSB}) \tag{2.5}$$

分解能が半分またはダイナミックレンジが 2 倍になると、ビット数を 1 bit 増やす必要がある。また、線形性を加味したビット数は有効ビット数（ENOB: Effective Number Of Linear bits）と呼び、INL 最悪値を INL_{worst} とすると次式で計算される。

$$\text{ENOB} = N - \text{LOG}_2(INL_{\text{worst}} + 1) \tag{2.6}$$

なお、ADC ではビット数のことを分解能と呼ぶが、有効ビット数の計算方法は同じである。

(5) サンプルレート

サンプルレートは変換動作の速度を表す指標である。単位は S/s (Samples per second) または sps である。サンプル周波数（単位は Hz）と同義である。変換時間の逆数で求められる。ダイナミックレンジが広がると変換時間も延びるため、サンプルレートとダイナミックレンジはトレードオフの関係にある。また、サンプルレートが高いと、トラ

ンジスタの単位時間あたりのスイッチング動作が多くなるため消費電力も大きくなる。なお、ADC でもサンプリングレートの定義は同じである。

(6) シングルショット精度

シングルショット精度はノイズによる出力デジタル値のばらつきを表す指標である。入力時間を固定して繰り返し信号を入力した際、ノイズにより出力値にばらつきが生じることがある。この出力値の標準偏差がシングルショット精度と呼ばれている。単位は LSB である。分解能が小さいとノイズによる出力値のばらつきが大きくなり、シングルショット精度は劣化する。なお、ADC ではシングルショット精度ではなく、信号電力とノイズ電力の比を SN 比として dB 単位で表す。

(7) 消費電力

回路の消費電力は、電源電圧に電源から流れる平均電流を乗じて計算される。単位は W である。文献によっては消費電力のかわりに変換動作 1 回あたりに使用されるエネルギー量（単位は J）を表示することもある。サンプリングレートが高いほど、また回路内でスイッチング動作するトランジスタが多いほど消費電力（ダイナミック電力）は大きくなる。近年は製造プロセスの微細化に伴い、リーク電流による消費電力（スタティック電力）増大が課題となっているため、動作していない回路への電源供給を遮断（パワーゲーティング）したり、トランジスタ数を減らすことが消費電力の低減につながる。

(8) 回路面積

チップ内で回路が占める面積である。単位は m^2 である。回路面積とチップサイズを小さくできれば、1 枚のシリコンウエハからより多くのチップを切り出せるので、1 チップあたりの製造コストが安価になる。そのため、産業の観点から重要な指標である。マスクレイアウトの工夫により面積を小さくできることもあるが、トランジスタ等の素子数を減らすことが面積削減につながる。微細プロセスを適用することによりデジタル回路は機能や性能を保ったまま面積を小さくできるが、アナログ回路はトランジスタのサイズを小さくしたり電源電圧を低くすると性能が劣化するため、性能を維持したまま面積を小さくすることが難しい。そのため近年はアナログ回路の性能劣化をデジタル回路により補う技術（デジタルアシストアナログ）の研究開発が進んでいる[3]。これにより性能を維持または向上しつつ回路面積を小さくできる。

(9) FoM (Figure of Merit)

複数の性能指標から計算された性能値である。回路の性能比較に用いられる。計算式は文献により異なることがあるが、TDC の場合は次式で計算されることが多い[4]～[7]。

$$\text{FoM [J/conversion-step]} = \frac{P}{2^{\text{ENOB}} f_s} \quad (2.7)$$

P は消費電力、 f_s はサンプリングレートである。この場合は FoM の値が小さいほど性能が

良いことを表す。面積やシングルショット精度を加味した FoM を定義している文献もある [8]。なお、ADC でも式 (2.7) で計算されることが多い。

2.4 TDC の構成方式

2.4.1 フラッシュ型

フラッシュ型 TDC の構成を図 2.9 に示す。多段のバッファと DFF で構成されており、DFF の出力はサーマルコードデコーダに接続されている。タイミングチャートを図 2.10 に示す。バッファの伝搬遅延時間を t_{pd} とすると、START の立ち上がりはバッファを通る度に t_{pd} ずつ遅延する。STOP が立ち上がった時点で、各段のバッファ出力が DFF によって保持される。このとき DFF の出力 $Q_0 \sim Q_{n-1}$ はサーマルコード (温度計コード) になっており、デコーダが High (1) の数を数えてバイナリーコード D_{out} として出力する。これにより、START と STOP の立ち上がり時間差 t_{in} は次式のように t_{pd} を基準に量子化される。

$$D_{out} = t_{in} / t_{pd} \quad (2.8)$$

分解能は t_{pd} であり、バッファの伝搬遅延時間は数 10~100ps 程度 [9] であるので、2.2 節で述べたカウンタを用いた構成よりも分解能を細かくできる。

変換時間 t_{conv} は、DFF の遅延時間 t_{FF} 、デコーダの遅延時間 t_{dec} とすると次式で表される。

$$t_{conv} = t_{in} + t_{FF} + t_{dec} \quad (2.9)$$

t_{FF} と t_{dec} は合わせても数 ns 程度なので、サンプリングレートを高速にできる。

バッファと DFF の段数を n とすると、ダイナミックレンジ t_{DR} 、ビット数 N は次式で表される。

$$t_{DR} = t_{pd} \times n \quad (2.10)$$

$$N = \text{LOG}_2(n) \quad (2.11)$$

ダイナミックレンジまたはビット数を拡大しようとする、多数のバッファと DFF が必要となるため回路面積は大きい。

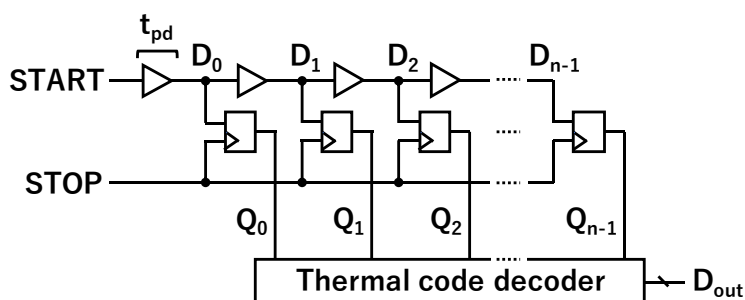


図 2.9 フラッシュ型 TDC の構成

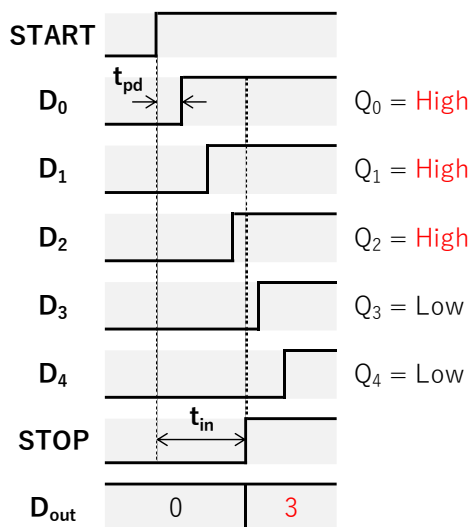


図 2.10 フラッシュ型 TDC のタイミングチャート

2.4.2 バーニア型

バーニア型 TDC の構成を図 2.11 示す。フラッシュ型 TDC の STOP 信号線にバッファを追加した構成であり、DFF のクロック端子には STOP の遅延信号が入力されている。タイミングチャートを図 2.12 に示す。バッファの伝搬遅延時間を START 側は t_{pd1} 、STOP 側は t_{pd2} とすると、START の立ち上がりはバッファを通る度に t_{pd1} ずつ、STOP の立ち上がりは t_{pd2} ずつ遅延する。このとき $t_{pd1} > t_{pd2}$ となるように設計すると、 D_i と CK_i の立ち上がり時間差が徐々に近づいていき、ある段で D_i よりも CK_i が先に立ち上がる。DFF 出力 $Q_0 \sim Q_{n-1}$ はサーマルコードになっており、デコーダが High (1) の数を数えてバイナリーコード D_{out} として出力する。これにより、START と STOP の立ち上がり時間差 t_{in} は次式のようになり t_{pd1} と t_{pd2} の差を基準に量子化される。

$$D_{out} = \frac{t_{in}}{t_{pd1} - t_{pd2}} \quad (2.12)$$

分解能は $t_{pd1} - t_{pd2}$ であり、バッファの伝搬遅延時間よりも小さくできる。よって 2.4.1 項で述べたフラッシュ型よりも分解能を細かくできる。

バッファと DFF の段数を n とすると、変換時間 t_{conv} は次式で表される。

$$t_{conv} = t_{in} + t_{pd2} \times n + t_{FF} + t_{dec} \quad (2.13)$$

段数 n に依るが、フラッシュ型よりもサンプリングレートは遅くなる。

ダイナミックレンジは次式で表される。なおビット数はフラッシュ型と同様に式 (2.11) で表される。

$$t_{DR} = (t_{pd1} - t_{pd2}) \times n \quad (2.14)$$

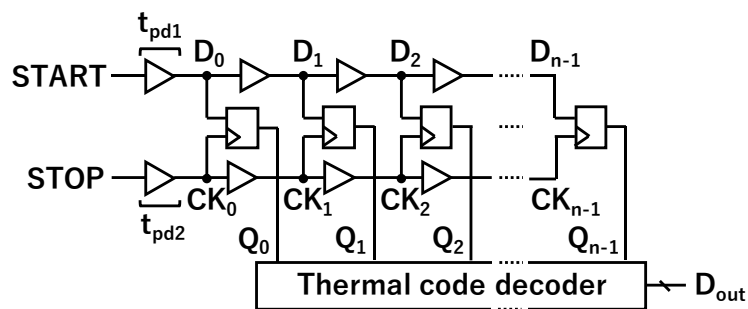


図 2.11 バーニア型 TDC の構成

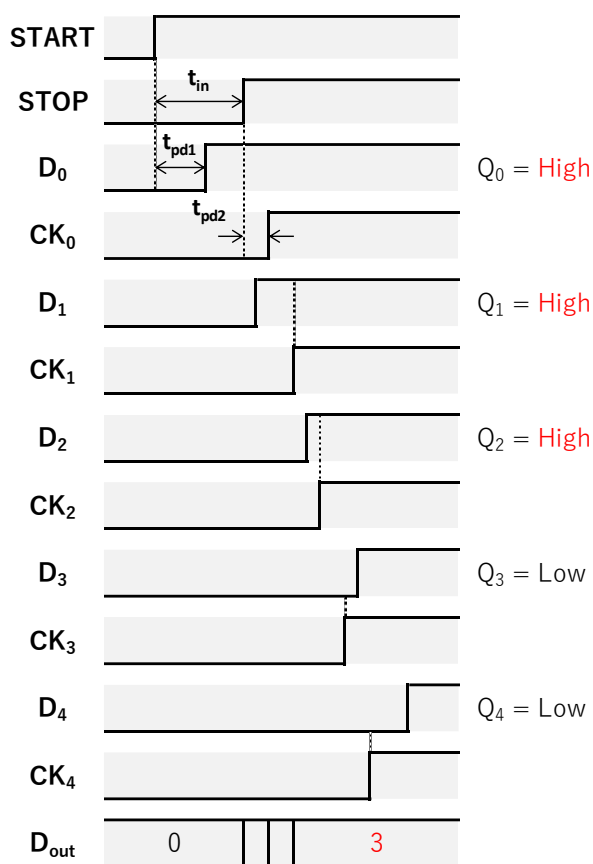


図 2.12 バーニア型 TDC のタイミングチャート

フラッシュ型と比較して、分解能が向上する分、同じダイナミックレンジを確保するのに段数が増えるため回路面積はさらに大きくなる。

2.4.3 サブレンジング型

サブレンジング型 TDC の構成[10]を図 2.13 に、タイミングチャートを図 2.14 に示す。パイプライン型とも呼ばれている[11]。回路は粗い量子化を行う Coarse TDC と細かい量

子化を行う Fine TDC に分かれている。Coarse TDC で生じた量子化誤差 t_{residue} を時間アンプ (TA: Time Amplifier) で増幅し、増幅された時間信号 $t_{\text{residue}} \times A$ ($\text{START}_{\text{fine}}$ と $\text{STOP}_{\text{fine}}$ の立ち上がり時間差) を Fine TDC で量子化する。A は時間アンプの利得である。Coarse TDC の出力コード $D_{\text{out_coarse}}$ の A 倍と Fine TDC の出力コード $D_{\text{out_fine}}$ の合計が最終的な出力コード D_{out} となる。サブレンジング型 ADC における残差電圧とは異なり、時間信号は保持できないので、Coarse TDC の各段のバッファ出力 D_i がそれぞれ TA へ接続されている。 $t_{\text{residue}} < t_{\text{pd}}$ となるように $D_{\text{out_coarse}}$ をもとに TA 出力が選択されて $\text{START}_{\text{fine}}$ と $\text{STOP}_{\text{fine}}$ が生成される。

Coarse TDC と Fine TDC はフラッシュ型 TDC またはバーニア型 TDC で構成される。Coarse TDC と Fine TDC の分解能を t_{pd} とすると分解能は t_{pd}/A となる。 D_{out} は次式で表される。

$$D_{\text{out}} = D_{\text{out_coarse}} \times A + D_{\text{out_fine}} = \frac{t_{\text{in}}A}{t_{\text{pd}}} \quad (2.15)$$

時間アンプを用いることでバーニア型と同等以上の分解能を実現できる。

Coarse TDC と Fine TDC をいずれもフラッシュ型 TDC で構成した場合、変換時間 t_{conv} は次式で表される。 t_{adder} は加算器の遅延時間である。

$$t_{\text{conv}} = t_{\text{in}} + 2t_{\text{FF}} + 2t_{\text{dec}} + At_{\text{pd}} + t_{\text{adder}} \quad (2.16)$$

時間アンプの利得とビット数にも依るが、サンプリングレートはフラッシュ型 TDC の半分程度となる。

ダイナミックレンジは Coarse TDC のダイナミックレンジで決まり、フラッシュ型と同様に式 (2.10) で表される。ビット数は Coarse TDC と Fine TDC のビット数を合わせた値になるが、キャリブレーションため Fine TDC は冗長ビットを持つことがある。

サブレンジング型は粗い量子化と細かい量子化を分割して行うことで、同じビット数のフラッシュ型やバーニア型よりも小さい回路面積で高い分解能と広いダイナミックレンジの両立を実現できる。

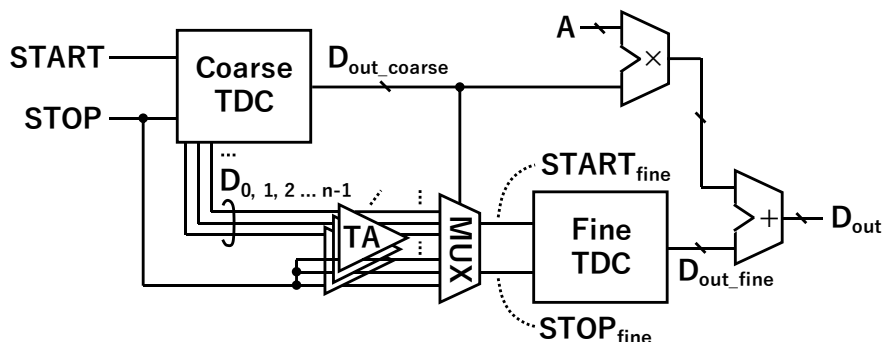


図 2.13 サブレンジング型 TDC の構成

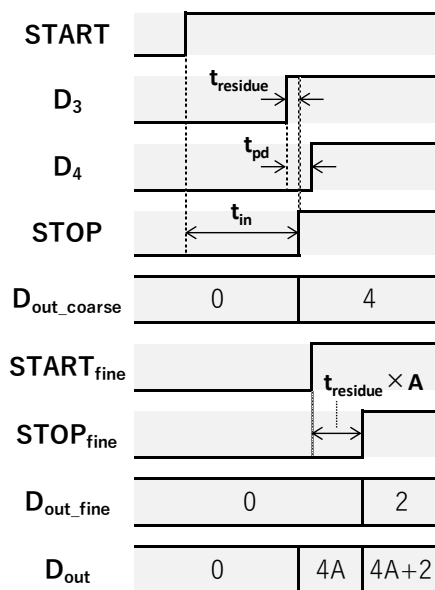


図 2.14 サブレンジング型 TDC のタイミングチャート

2.4.4 サイクリック型

サイクリック型 TDC の構成[12]を図 2.15 に、タイミングチャートを図 2.16 に示す。回路はバーニア型のディレイラインを 1 段目で折り返してループ状にした構成に、パルス生成のための XOR やパルスがループを循環する回数を数えるカウンタが存在する。START に続いて STOP が立ち上がると XOR により P1 に続いて P2 が立ち上がる。P1 パルスはバッファを通過すると t_{pd1} 遅延し、P2 パルスは t_{pd2} 遅延して DFF へ入力される。P1 の立ち上がり時間が P2 よりも先行している場合は $Q=High$ (1) となり AND と XOR に立ち上がりが入力された後、P1 に続いて P2 が立ち下がる。このとき、バーニア型と同様に $t_{pd1} > t_{pd2}$ となるよう設計すると、パルスの立ち上がり時間差はバッファを通過する度に $t_{pd1} - t_{pd2}$ 縮まる。P2 パルスの立ち上がり時間が P1 よりも先行すると $Q=Low$ (0) となりパルスの循環が停止する。カウンタの出力コード D_{out} は次式で表される。

$$D_{out} = \frac{t_{in}}{t_{pd1} - t_{pd2}} \quad (2.17)$$

分解能はバーニア型と同じ $t_{pd1} - t_{pd2}$ である。バーニア型では多数のバッファを用いるため伝搬遅延時間のばらつきが線形性を劣化させるが、サイクリック型では一対のバッファのみを用いるので線形性に優れている。

変換時間 t_{conv} は、AND と XOR の合計遅延時間を t_{offset} とすると次式で表される。

$$t_{conv} = t_{in} + (t_{offset} + t_{pd1}) \frac{t_{in}}{t_{pd1} - t_{pd2}} \quad (2.18)$$

入力時間にも寄るが、フラッシュ型やバーニア型と比較してサンプリングレートは大幅に低下する。

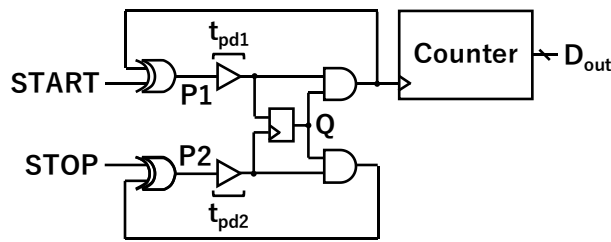


図 2.15 サイクリック型 TDC の構成

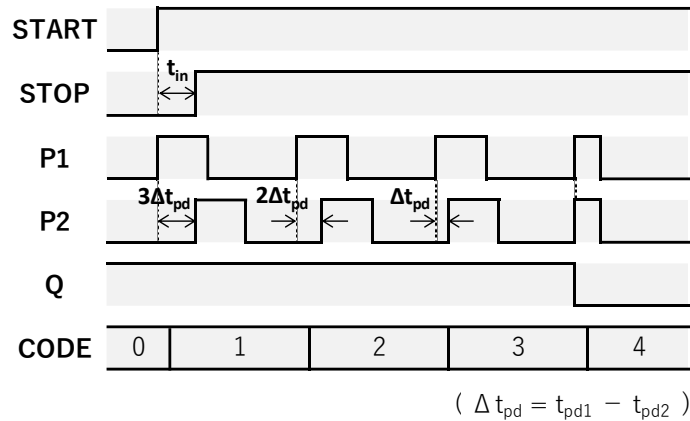


図 2.16 サイクリック型 TDC のタイミングチャート

ダイナミックレンジは次式のいずれか小さい方で決まる。

$$t_{DR1} = t_{offset} + t_{pd1} \quad (2.19)$$

$$t_{DR2} = (t_{pd1} - t_{pd2}) \times (2^N - 2) \quad (2.20)$$

N はカウンタのビット数である。よって分解能を維持したままダイナミックレンジを拡大するためには、ループ内の遅延とカウンタのビット数を増やせばよい。

サイクリック型はサブレンジング型よりも小さな回路面積で分解能とダイナミックレンジを両立できるが、サンプリングレートは低い。

2.4.5 SAR 型

SAR (Successive Approximation Register; 逐次比較レジスタ) 型 TDC の構成[13]を図 2.17 に、タイミングチャートを図 2.18 に示す。回路は主に可変遅延回路 (Variable delay) を含む 2 つのループ、位相検出器 (PD: Phase Detector)、遅延制御回路 (Delay controller)、積算器 (ACC: Accumulator) で構成される。可変遅延回路は遅延制御回路の遅延制御コード D_{delay1} 、 D_{delay2} によって遅延時間が制御される。位相検出器により P1 と P2 の位相関係が判定される。P1 の立ち上がりが先行していれば P1 側の可変遅延回路の遅延が大きくなる。P2 の立ち上がりが先行していれば P2 側の可変遅延回路の遅延が大きくなる。P1 側と P2 側の可変遅延回路の遅延差はサイクルごとに半減する。遅延制御コード D_{delay1} 、 D_{delay2} のビット数を N とし、可変遅延回路の遅延調整幅を $t_{offset} \sim t_{offset} + 2^{N-1}t_d$ とすると、サイクル

ごとの可変遅延回路の遅延は表 2.1 のようになる。 t_d は遅延調整の最小単位である。 $N+1$ サイクル目で P1 と P2 の立ち上がり時間差は t_d 未満となり、次式に示す出力コード D_{out} が得られる。

$$D_{out} = \sum_{k=0}^N (D_{delay1}(k) - D_{delay2}(k)) = t_{in}/t_d \quad (2.21)$$

k はサイクル番号である。分解能は t_d となる。

変換時間 t_{conv} は次式で表される。

$$t_{conv} = t_{in} + t_{offset} \times (N + 1) + t_{adder} \quad (2.22)$$

変換時間は主にビット数 N で決まるので、サイクリック型よりもサンプリングレートを高くできる。

ダイナミックレンジ t_{DR} は次式のように可変遅延回路の遅延時間で決まる。

$$t_{DR} = t_{offset} + 2^{N-1}t_d \quad (2.23)$$

可変遅延回路や制御回路を必要とするためサイクリック型より回路面積は大きくなる。

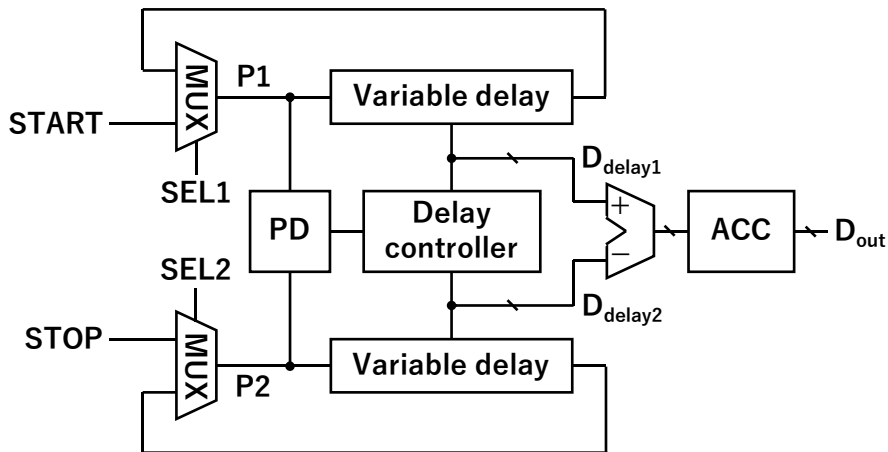


図 2.17 逐次比較型 TDC の構成

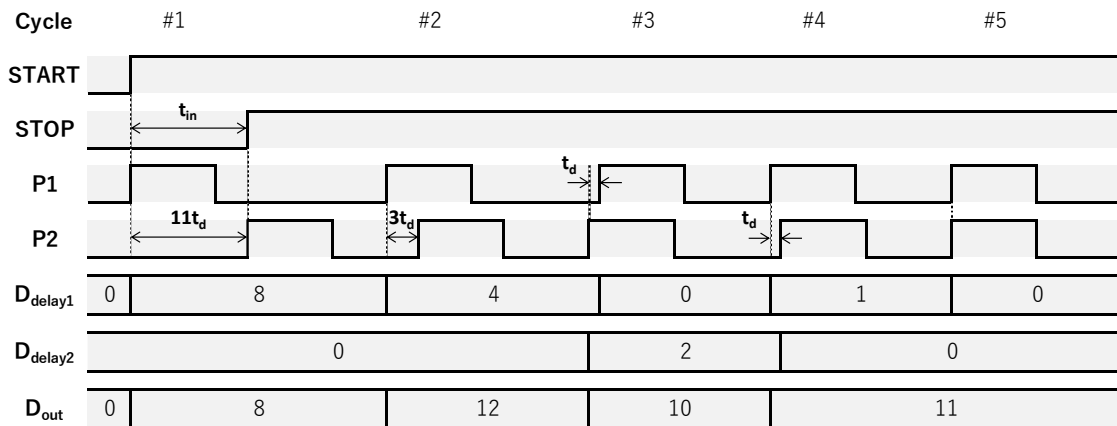


図 2.18 逐次比較型 TDC のタイミングチャート

表 2.1 逐次比較型 TDC における可変遅延回路の遅延

位相関係	P1 先行		P2 先行	
	P1 側	P2 側	P1 側	P2 側
1 サイクル目	$t_{\text{offset}} + 2^{N-1}t_d$	t_{offset}	t_{offset}	$t_{\text{offset}} + 2^{N-1}t_d$
2 サイクル目	$t_{\text{offset}} + 2^{N-2}t_d$	t_{offset}	t_{offset}	$t_{\text{offset}} + 2^{N-2}t_d$
i サイクル目	$t_{\text{offset}} + 2^{N-i}t_d$	t_{offset}	t_{offset}	$t_{\text{offset}} + 2^{N-i}t_d$
N サイクル目	$t_{\text{offset}} + t_d$	t_{offset}	t_{offset}	$t_{\text{offset}} + t_d$

2.4.6 リング発振器型

リング発振器型 TDC の構成[14]を図 2.19 に、タイミングチャートを図 2.20 に示す。回路はリング発振器、複数のカウンタ、加算器、レジスタによって構成されている。リング発振器は、START の立ち上がりで発振を始め、STOP の立ち下がりで発振が止まる。発振中は、リング発振器を構成する各インバータ出力の立ち上がり回数がカウントされる。STOP の立ち上がりで全てのカウンタの合計値（加算器出力 D_{adder} ）がレジスタに保存される。リング発振器を構成するインバータの伝搬遅延時間を $t_{\text{pd}}/2$ とすると、 t_{pd} ごとにリング発振器内の 1 つのインバータ出力が Low から High へ立ち上がる。よって t_{pd} ごとに加算器出力 D_{adder} が 1 ずつ増える。レジスタの出力コード D_{out} は次式で表される。

$$D_{\text{out}} = t_{\text{in}} / t_{\text{pd}} \quad (2.24)$$

分解能は t_{pd} となる。フラッシュ型と同等の分解能で回路面積を小さくできる。

変換時間 t_{conv} は、カウンタの遅延時間を t_{count} 、加算器の遅延時間を t_{adder} 、レジスタの遅延時間を t_{reg} とすると次式で表される。

$$t_{\text{conv}} = t_{\text{in}} + t_{\text{count}} + t_{\text{adder}} + t_{\text{reg}} \quad (2.25)$$

フラッシュ型と遜色ないサンプリングレートを実現できる。

加算器およびレジスタのビット数 N は、カウンタのビット数を N_{count} 、リング発振器のインバータ段数を n とすると次式で表される。

$$N = \text{LOG}_2(2^{N_{\text{count}}} \times n) = N_{\text{count}} + \text{LOG}_2(n) \quad (2.26)$$

ダイナミックレンジ t_{DR} は次式で表される。

$$t_{\text{DR}} = t_{\text{pd}} \times 2^{N_{\text{count}}} \times n \quad (2.27)$$

リング発振器のインバータ段数 n は、発振条件を満たすために奇数となる。また、カウンタの動作周波数を f_{count} とすると n は次式の条件を満たす必要がある。

$$f_{\text{count}} \geq \frac{1}{t_{\text{pd}}n} \rightarrow n \geq \frac{1}{f_{\text{count}}t_{\text{pd}}} \quad (2.28)$$

カウンタのビット数を大きくすることによりダイナミックレンジを拡大できるが、カウンタのビット数を大きくするとその動作周波数は低下するため、リング発振器のインバータ段数を増やす必要がある。

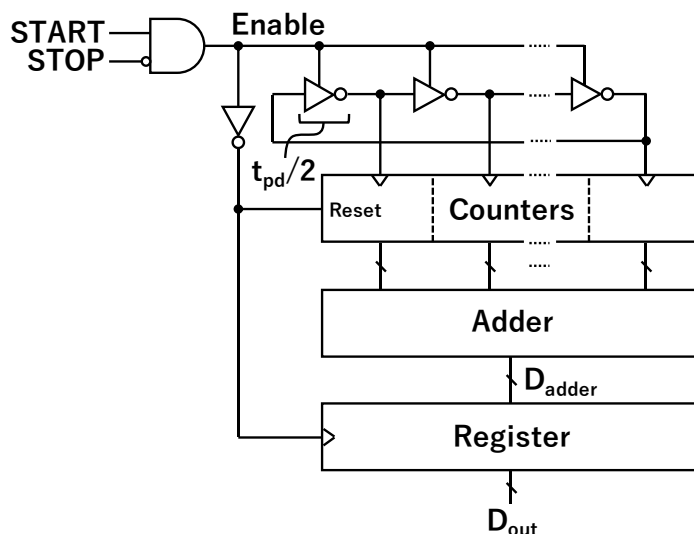


図 2.19 リング発振器型 TDC の構成

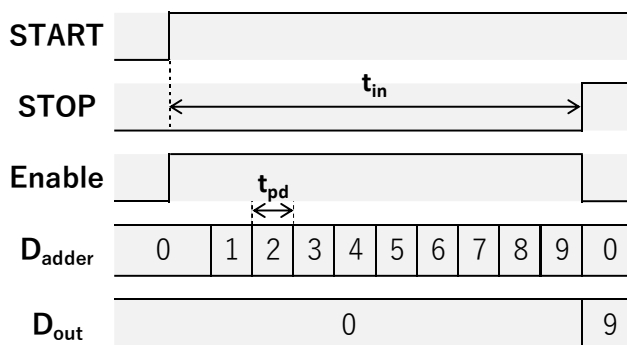


図 2.20 リング発振器型 TDC のタイミングチャート

同じ t_{in} を繰り返し入力すると、ノイズシェーピング効果により量子化誤差を低減できる構成も報告されている[14]。

2.4.7 DLL とカウンタを併用した構成

DLL (Delay Locked loop) とカウンタを用いることにより、TDC の絶対精度の確保とダイナミックレンジの拡大が可能である。構成例[15]を図 2.21 に示す。回路は DLL、フラッシュ型 TDC、位相番号検出器 (Phase number detector)、カウンタ、乗算器、加減算器で構成されている。DLL は位相検出器 (PD: Phase Detector)、チャージポンプ (CP: Charge Pump)、ローパスフィルタ (LPF: Low Pass Filter)、 n 段のバッファで構成されたディレイラインで構成される。2つのフラッシュ型 TDC が DLL のディレイラインを共有している。ディレイラインが 4 段のバッファで構成される場合、図 2.22 のタイミングチャートに示すように、REFCLK と D_3 の位相が揃うように制御が行われる。REFCLK の周期を T_{ref} とする

と、各段のバッファ出力は立ち上がり時間が $T_{\text{ref}}/4$ ずつずれるように制御される。 $D_0 \sim D_3$ の状態により、REFCLK の位相を識別できる。図 2.23 に TDC のタイミングチャートを示す。START が立ち上がるとその時点の各バッファ出力が DFF に保持され、位相番号検出器から REFCLK 位相番号 PH_{start} が出力される。カウンタは STOP が立ち上がるまで REFCLK の立ち上がり回数を D_{count} としてカウントする。STOP が立ち上がると、その時点の REFCLK 位相番号 PH_{stop} が位相番号検出器から出力される。TDC の出力コード D_{out} は次式で表される。

$$D_{\text{out}} = D_{\text{count}} \times n - PH_{\text{start}} + PH_{\text{stop}} = \frac{nt_{\text{in}}}{T_{\text{ref}}} \quad (2.29)$$

分解能は t_{ref}/n である。ディレイラインの段数を増やすことで分解能を高くできる。

変換時間 t_{conv} は、DFF の遅延時間を t_{FF} 、位相番号検出器の遅延時間を t_{PND} 、乗算器や加減算器の遅延を t_{ALU} とすると次式で表される。

$$t_{\text{conv}} = t_{\text{in}} + t_{\text{FF}} + t_{\text{PND}} + t_{\text{ALU}} \quad (2.30)$$

フラッシュ型と遜色ないサンプリングレートを実現できる。ただし、 t_{in} の入力前に DLL のセットリング時間が必要である。

ダイナミックレンジ t_{DR} はカウンタのビット数を N_{count} とすると次式で表される。

$$t_{\text{DR}} = T_{\text{ref}} \times 2^{N_{\text{count}}} \quad (2.31)$$

カウンタのビット数を増やすだけでダイナミックレンジを拡大できる。2.2 節で述べたカウンタを用いた構成よりも、ディレイラインの段数だけ分解能を細かくすることができる。

DLL を用いない構成では、製造プロセスや電源電圧、温度 (PVT: Process, Voltage and Temperature) の変動によりバッファの遅延時間が変化し、同じ入力時間でも出力コードが一定にならない。DLL を用いることにより、バッファの遅延時間が REFCLK を基準に調整されるため、絶対精度を確保すること (同じ入力時間に対する出力コードのばらつきを小さくすること) が可能である。なお、REFCLK は温度補償水晶発振器 (TCXO: Temperature Compensated Crystal Oscillator) で生成すると、温度に対する周波数の変動が小さいためさらに絶対精度を向上できる。

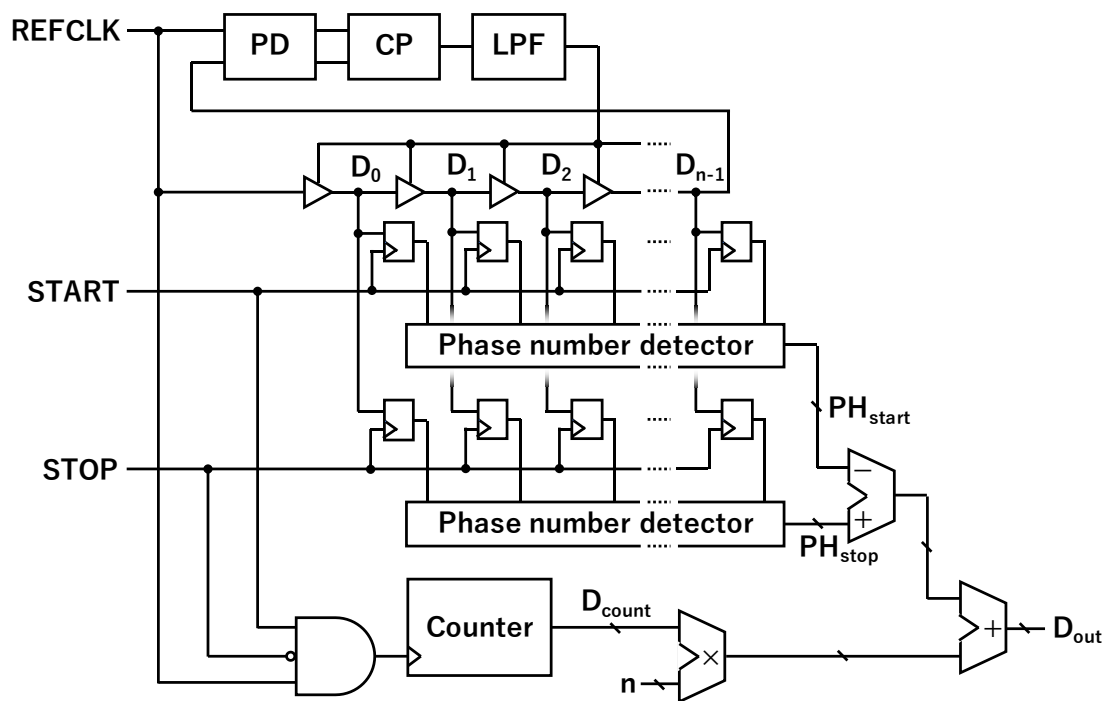


図 2.21 DLL とカウンタを用いた TDC の構成

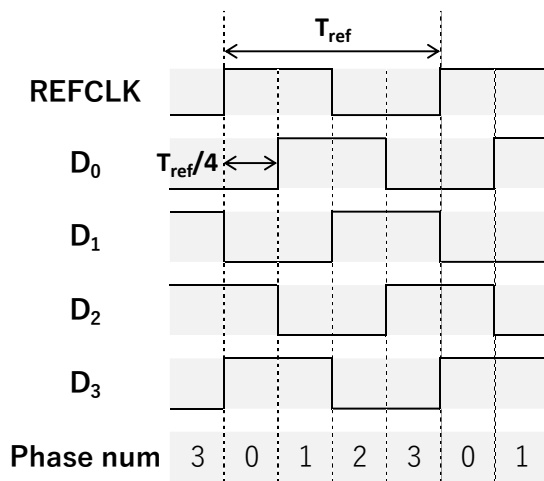


図 2.22 DLL のタイミングチャート

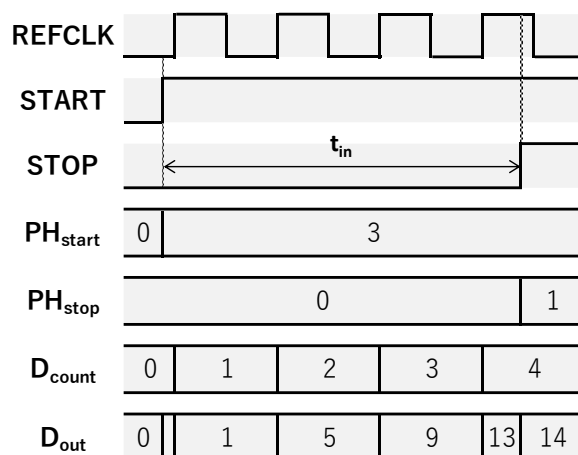


図 2.23 DLL とカウンタを用いた TDC のタイミングチャート

2.4.8 構成方式の特徴まとめ

TDC の構成方式ごとの特徴を表 2.2 に示す。

フラッシュ型は、サンプリングレートが高いが、ダイナミックレンジを広げようとするとき面積が非常に大きくなってしまふ。分解能はバッファ 1 段分の伝搬遅延時間である。

バーニア型は、分解能をバッファ 1 段分の伝搬遅延時間より小さくできるが、フラッシュ型と同様にダイナミックレンジを広げようとするとき面積が非常に大きくなってしまふ。

サブレンジング型は、バーニア型と同等の分解能をより小さな面積で実現できるが、時間アンプを使うため消費電力と面積の削減効果は限定的である。

サイクリック型は、フラッシュ型と同等の分解能を非常に小さな面積で実現できるが、サンプリングレートは低い。

SAR 型は、可変遅延回路によりサイクリック型よりも高いサンプリングレートを実現できるが、可変遅延回路の面積は大きい。

リング発振器型は、カウンタを使うためダイナミックレンジの拡大が容易である。また、サンプリングレートや面積にも優れているが、カウンタを複数使うため消費電力は大きい。

DLL とカウンタを用いた構成は、ダイナミックレンジの拡大が用意で、絶対精度も確保できるが、DLL を用いるため消費電力と面積は大きくなる。

以上に述べた構成方式を組み合わせたり、改良を加えることにより高い性能を有する TDC が多数提案されている。表 2.3 に過去に提案されている TDC の性能の一覧を示す。このように、TDC の各構成方式には長短があり、分解能、ダイナミックレンジ、サンプリングレートなどの性能指標の間にはトレードオフが存在する。よって、応用先に適した TDC の構成方式を選択する必要がある。

表 2.2 TDC 構成方式ごとの特徴

構成方式	分解能	ダイナミックレンジ	サンプリングレート	消費電力	面積
フラッシュ	○	×	◎	△	×
バーニア	◎	×	○	△	×
サブレンジング	◎	○	○	△	△
サイクリック	◎	○	×	△	◎
SAR	◎	○	△	○	△
リング発振器	○	◎	○	△	○
DLL とカウンタ	△	◎	○	△	△

表 2.3 過去に提案されている TDC の性能一覧

文献	構成方式	分解能 [ps]	ダイナミックレンジ [ns]
[16]	バーニア	5.7	0.73
[10]	サブレンジング	1.25	0.64
[12]	DLL、カウンタ、サイクリック	10	160
[13]	DLL、カウンタ、SAR	1.22	3276800
[14]	リング発振器	6 ^{(*)1}	12.3
[15]	DLL、カウンタ	12.2	202000

文献	サンプリングレート [MS/s]	最大消費電力 [mW]	面積 [mm ²]	ビット数	プロセス [nm]
[16]	100	1.75	0.004	7	65
[10]	10	3	0.6	9	90
[12]	3.2~6.7 ^{(*)2}	80	0.3	14	350
[13]	0.003~12.5 ^{(*)2}	33	4.45 ^{(*)3}	31	350
[14]	50	21	0.041	11 ^{(*)1}	130
[15]	記載なし	40	7.5 ^{(*)3}	24	350

(*)1 オーバーサンプリングを行う場合は、実効分解能 1 ps、実効ビット数 15.5-bit を実現。

(*)2 入力時間により変動。

(*)3 パッド込み。

2.5 TDC の応用先

TDC は 1980 年代から開発されているが、当初は高エネルギー物理学の素粒子実験において、粒子の通過時間（飛行時間）を測定するために開発された[17][18]。また、宇宙物理学においても、宇宙線を構成する粒子の速度測定にも利用されている[19][20]。

医療においては、ポジトロン断層法（PET: Positron Emission Tomography）と呼ばれる非侵襲的ながん検査で、ガンマ線の検出時刻の特定に用いられている[21]。

半導体製品の出荷検査を行うテスター（ATE: Automatic Test Equipment）では、ジッタ、スキュー、伝搬遅延時間などの測定に利用されている[22]。

ToF（Time of Flight）方式の距離センサでは、赤外光やレーザー光を対象に照射しその反射時間を検出することにより距離を測定する。光の反射時間の検出には TDC が用いられている[23]。近年は、レーザー光を走査し周囲の物体の位置を把握する LiDAR [24][25]や、赤外線を物体に照射しその形状を把握する距離画像センサ[26][27]の開発が盛んである。

PLL や ADC 等のアナログ回路の性能向上のため TDC が用いられることもある。ADPLL（All-Digital PLL）では TDC が位相検出に用いられており、低電源電圧動作と低消費電力化を実現している[28]。イメージセンサに用いられているシングルスロープ ADC では、TDC がカウンタの補間に用いられており、分解能とサンプリングレートの向上を実現している[29][30]。距離センサへの応用については3章、イメージセンサへの応用については4章、ADC への応用については5章、PLL への応用については6章で詳しく述べる。

2.6 まとめ

TDC は時間量子化技術の核となる回路で、時間をデジタル値に変換する。カウンタを用いた構成が TDC の最も簡単な構成であるが、動作周波数の制約から分解能は 200 ps 程度に制限される。これより小さな分解能を実現するため、論理ゲートの伝搬遅延時間を利用して構成される。代表的な性能指標として、分解能、ダイナミックレンジ、サンプリングレートが挙げられるが、各性能指標はトレードオフの関係にある。また、構成方式として、フラッシュ型、バーニア型、サブレンジング型、サイクリック型、SAR 型、リング発振器型、DLL とカウンタを併用した構成が挙げられる。各構成方式はそれぞれ長短があり、応用先によって使い分ける必要があることを明らかにした。

第3章 距離センサへの応用

3.1 まえがき

距離センサ¹は、測定対象へ超音波や光を照射し、その反射時間等をもとに距離を測定するデバイスである。高い測定精度とサンプリングレート、機器の小型化が求められる用途では光学式の距離センサが使用される。光学式の距離センサは、建築での測量、製造物の寸法検査、カメラのオートフォーカスなどに使用されている。測定原理の違いから、位相差検出方式、三角測距方式、ToF方式に分類される[2]。その中でもToF方式は、スマートフォンの顔認証やAR (Augmented Reality) 機能に用いられる距離画像センサ (3D イメージセンサ) と、自動運転に用いられるLiDARにも採用されており、普及の拡大が見込まれている[3][4]。ToF方式の距離センサにおいて、光の反射時間の測定と量子化にはTDCが用いられている。物体の位置や形状を精度良く検出するためには、高分解能かつ広ダイナミックレンジなTDCが求められる。また、距離画像センサにおいては多数のTDCを集積する必要があるため、回路面積を小さくする必要がある。LiDARではレーザを走査して連続して距離測定を行うため、高いサンプリングレートのTDCが必要となる。そこで本研究では、小さな回路面積で高分解能、広ダイナミックを両立できるサイクリック型TDCに着目した。サイクリック型TDCは変換速度に課題があったが、可変遅延回路を用いて変換を高速化する構成を検討した。

本章では、距離センサの概要について述べた後、距離センサの要素回路として可変遅延回路を用いたサイクリック型TDCを提案し、その回路構成と動作原理、シミュレーション結果について述べる。

3.2 距離センサの概要

3.2.1 距離センサの分類

距離センサの分類を表3.1に示す。媒体として超音波、光 (レーザ)、電波 (ミリ波) を使うものに分けられる。精度や応答速度が求められない用途においては低コストな超音波式の距離センサが用いられる。超音波の速度 (音速) は空気中 (0°C) では331.5 m/sであり、1 mの距離の往復時間は6 msである。1 cmの距離分解能を得るためには60 μ sの時間分解能が必要となるが、これはTDCを用いずにMCUのタイマ機能で実現可能である。よって、超音波式の距離センサは低コストで構成可能であるが、音速は温度や湿度により変化するため、温度センサと補正機構が必要となる[8]。また、センサの応答速度 (サンプリングレート) は音速で律速される。超音波の送受信にはトランスデューサを用いるが、直径1 cm程度の大きさ[9]であるため小型機器への組み込みには不向きである。高い測定精度と

¹ 測定距離が最大数十cmで分解能が μ m単位の距離センサは変位センサと呼ばれる[1]が、本論文では距離センサとして扱う。

表 3.1 距離センサの分類 ([2][5][6][7]をもとに作成)

媒体	方式	原理・特徴・用途
超音波	ToF	パルス波の反射時間を検出 短距離（最長 10 m）、低精度、低速、低コスト、材質や色の影響を受けない 車の衝突防止、船舶のソナー、タンクの液量測定に使用
光 (レーザ)	位相差検出	照射光と反射光の位相差を検出 性能とコストは三角測距と ToF の中間 土木および建築での測量、タンクの液面制御に使用
	三角測距	反射光の受光位置をリニアイメージセンサで検出 短距離（最長 2 m）、高精度、高分解能、高速 タンクの液量・粉末量測定に使用
	ToF	パルス光の反射時間を検出 長距離（最長 500 m）、高精度、高速、高コスト 位相差検出方式と同用途に加え、顔認証、AR、自動運転に使用
電波 (ミリ波)	パルス (ToF)	パルス波の反射時間を測定 短距離から中距離（最長 100 m）、高分解能、高コスト、 相対速度も測定可能、天候や照度の影響を受けない 踏切の障害物検知、車の運転支援に使用
	FMCW	送信波と反射波を干渉させ、ビート信号の周波数を検出 長距離（最長 500 m）、相対速度も測定可能、天候や照度の影響を受けない 道路監視、ロボット制御、車の運転支援に使用

サンプリングレート、機器の小型化が求められる用途では光学式の距離センサが使用される。測定原理から位相差検出方式、三角測距方式、ToF方式に分かれており、性能とコスト要件に応じて使い分けられる。ToF方式は高分解能のTDCと高出力のレーザダイオードが必要なため高コストだが、優れた性能を実現できるため距離画像センサやLiDARにも採用されている。ただし、光学式は天候や照度などの周辺環境に影響を受けやすい。これに対し、ミリ波を用いた電波式の距離センサ（ミリ波レーダ）は周辺環境の影響を受けにくい。パルス（ToF）方式は高速広帯域の信号処理が必要[10]で、長距離への対応が難しいことから、FMCW（Frequency Modulated Continuous Wave）方式が主流である。

本研究では、距離センサの中でも優れた性能を実現可能なToF方式の光学式距離センサに着目し、その要素回路であるTDCの性能要件と回路構成を検討する。

3.2.2 ToF 方式距離センサの原理

ToF 方式の光学式距離センサは、測定対象にレーザを照射し、その反射時間から測定対象との距離を取得するセンサである。反射時間の測定と量子化には図 3.1 に示すように TDC が用いられる。光速を c 、光の反射時間を t_{round} とすると測定対象までの距離 d は次式で求められる。

$$d = \frac{c \times t_{\text{round}}}{2} \quad (3.1)$$

測定可能な最長距離を d_{max} とすると、TDC に要求されるダイナミックレンジは次式で表される。

$$t_{\text{DR}} = \frac{2d_{\text{max}}}{c} \quad (3.2)$$

また、距離測定の分解能を d_{res} とすると、TDC に要求される分解能は次式で表される。

$$t_{\text{LSB}} = \frac{2d_{\text{res}}}{c} \quad (3.3)$$

式 (3.2) ~ (3.3) より、例えば測定の最長距離が 3 m、分解能が 3 mm の場合、TDC にはダイナミックレンジ 10 ns、分解能 10 ps が要求される。

ToF 方式は、スマートフォンの顔認証や AR 機能に用いられる距離画像センサと、自動運転に用いられる LiDAR にも採用されている。距離画像センサには、TDC を用いる Direct ToF 方式とロックインピクセルを用いる Phase ToF 方式の 2 方式がある [11]。Direct ToF 方式の距離画像センサは、図 3.2 に示すように SPAD (Single Photon Avaranche Diode) ¹ と TDC を含む画素をアレイ状に並べた構成となっている [12]。高解像度の距離画像を得るためには、画素面積、特に TDC の回路面積を小さくする必要がある。一方、LiDAR は図 3.3 に示すように、回転するミラーを用いてレーザを走査することにより周囲にある物体の位置と形状を検出するデバイスである [13]。レーザを走査し連続して距離測定を行うことから、1 点あたりの距離測定を短時間で行う必要がある。よって、TDC には高いサンプリングレートが要求される。

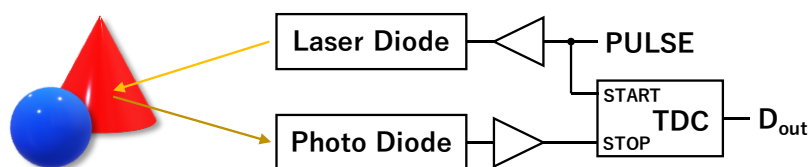


図 3.1 ToF 方式距離センサの基本構成

¹ 微弱な光 (1 つの光子) から急峻な立ち上がりのパルスを生成するため、PD (Photo Diode) ではなく SPAD が用いられる。

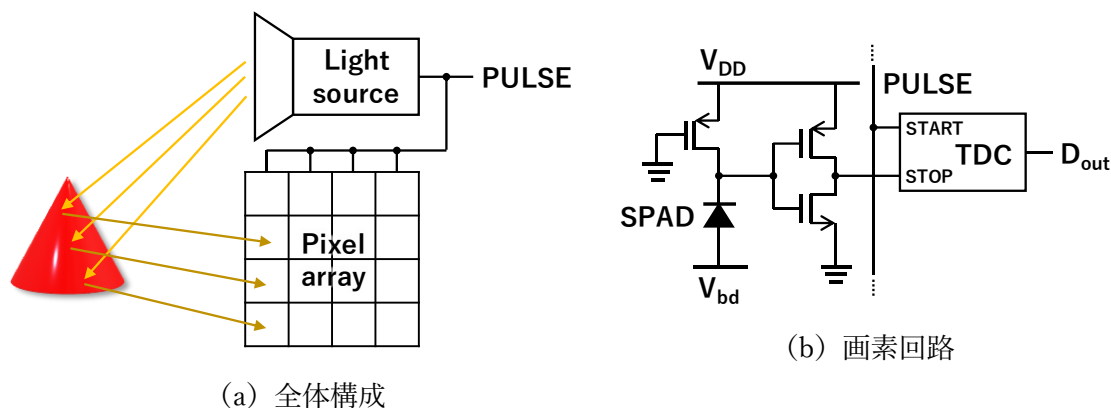


図 3.2 Direct ToF 方式距離画像センサの構成

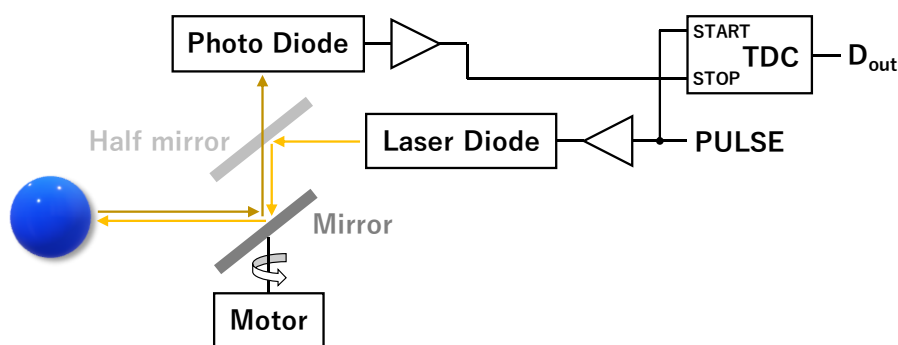


図 3.3 LiDAR の構成

3.3 可変遅延回路を用いたサイクリック型 TDC

3.3.1 提案回路の特徴

2章で述べたように、TDCの各性能指標の間にはトレードオフが存在するが、ToF方式距離センサでは、小型で高分解能、広ダイナミックレンジ、高サンプリングレートなTDCが必要とされる。そこで本研究では、距離センサに用いるTDCとしてサイクリック型TDCに着目した。サイクリック型TDCは高分解能と広ダイナミックレンジを小さな回路面積で実現できる構成であるが、サンプリングレートが低い欠点がある。本研究では、可変遅延回路を用いることによりサンプリングレートを高速化した構成[14]を提案する。サンプリングレート高速化(変換時間短縮)の概念を図3.4に示す。従来のサイクリック型TDCは遅延要素の遅延時間差(分解能) Δt_d が一定なのに対し、提案回路では変換動作中に Δt_d を変更している。具体的には、変換開始時には Δt_d を大きくし、徐々に小さくしていく。これにより、変換時間 t_{conv} の短縮を図り、高分解能を維持しつつサンプリングレートを高速化する。2.4.5項で述べたSAR型TDC[15]も可変遅延回路を用いるが、SAR型TDCでは1サイクルごとに Δt_d を変化させるため、ダイナミックレンジは可変遅延回路の最大遅延時間で制限される。一方、提案回路では2パルスの位相関係が逆転するまで Δt_d を変更しないため、可

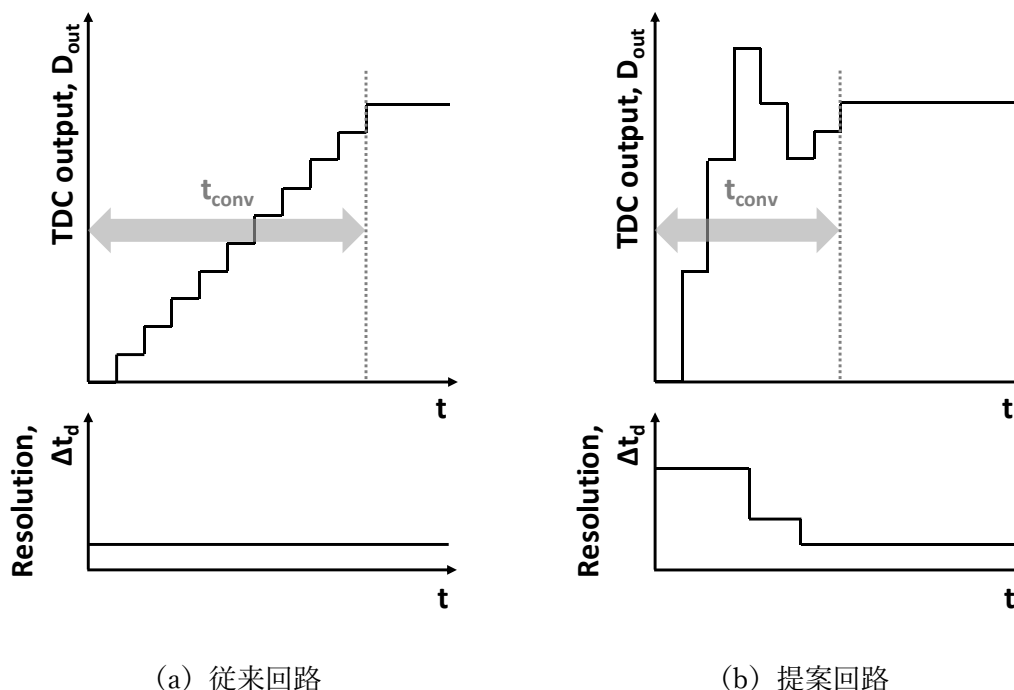


図 3.4 サンプルングレート高速化の概念

変遅延回路の最大遅延時間より大きな入力時間差に対応できる。すなわち、同じダイナミックレンジを確保する場合、SAR 型 TDC よりも可変遅延回路を小さくできる。

3.3.2 回路構成と動作原理

提案回路の概略構成を図 3.5 に示す。回路は位相検出器 (PD)、遅延制御回路 (DC: Delay Controller)、可変遅延回路、積算器 (ACC) で構成される。PULSE1 と PULSE2 の立ち上がり時間差を量子化し、出力コード D_{out} を変換する。なお、PULSE1 の立ち上がりが PULSE2 より早い場合、 D_{out} は正、遅い場合、 D_{out} は負となる。

提案回路の変換動作を図 3.6 のタイミングチャートを用いて説明する。下記の流れで変換動作を行う。

- (1) PULSE1 と PULSE2 が立ち上がるとそれぞれパルス P1、P2 が生成される。
- (2) 位相検出器により P1 と P2 どちらの立ち上がりが早いかを判定し、PDout (Low: P2 が先、High: P1 が先) を出力する。
- (3) 遅延制御回路から遅延制御コード Delay1、Delay2 を出力して 2 つの可変遅延回路の遅延時間を制御し、立ち上がりが早いパルスを遅延させる。
- (4) PDout が反転 (P1 と P2 の位相関係が逆転) したら、遅延対象のパルスを切り替えて、遅延制御コード (可変遅延回路の遅延時間) を小さくする。
- (5) (2) ~ (4) の動作を、遅延制御コードが最小になるまで繰り返す。

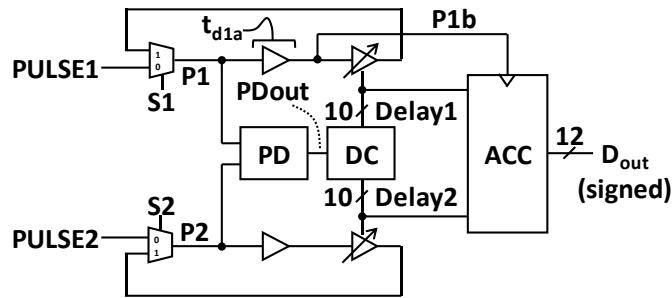


図 3.5 可変遅延回路を用いたサイクリック型 TDC の概略構成

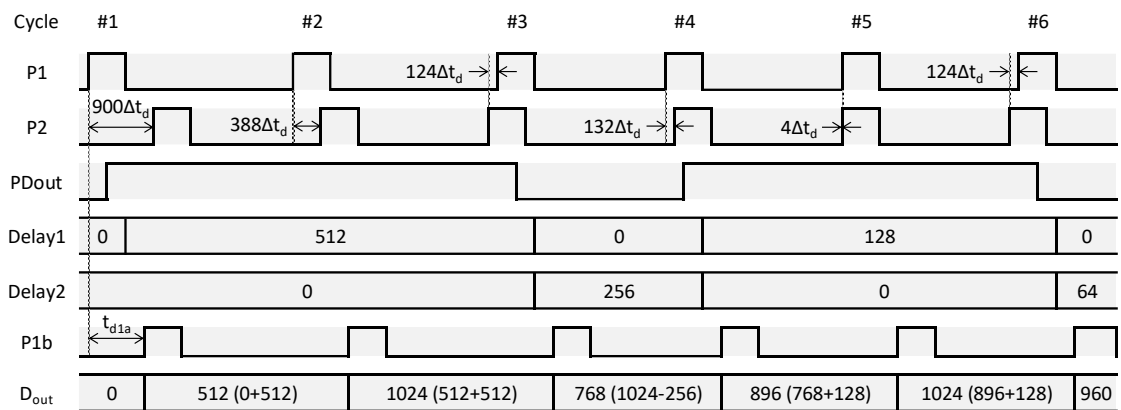


図 3.6 提案回路のタイミングチャート

(6) 積算器では遅延制御コードを P1b(P1 の遅延信号)の立ち上がりごとに累算(Delay1 は加算、Delay2 は減算)していき、その累算値が D_{out} (図 3.6 では符号付き 10 進数表記)として得られる。

上記の動作により変換完了時は、P1 と P2 の立ち上がり時間差が可変遅延回路の最小遅延差 Δt_d 以下になる。D_{out} は、P1 と P2 の立ち上がりタイミングを揃えるまでに加算または減算された遅延制御コードの合計であるので、P1 と P2 の初期状態(PULSE1 と PULSE2)の立ち上がり時間差をデジタル値で表している。

PULSE1 と PULSE2 の立ち上がり時間差 t_{in} は次式で表される。

$$t_{in} = \Delta t_d \times D_{out} \tag{3.4}$$

ただし t_{in} は、PULSE1 の立ち上がりが PULSE2 より早い場合は正、遅い場合は負となる。図 3.6 は PULSE2 が PULSE1 より $900\Delta t_d$ 遅れて立ち上がった場合の例である。サイクル #1 では、P1 立ち上がりが先なので PDout = High となり、Delay1 = 512 が出力され、P1 は $512\Delta t_d$ 遅延する。サイクル#3 では P2 立ち上がりが先になるので PDout = Low となり、Delay2 = 256 が出力され、P2 は $256\Delta t_d$ 遅延する。このような動作を Delay1 または Delay2 が 1 になるまで繰り返すと、P1 と P2 の立ち上がり時間差が Δt_d 以下となり、最終的に D_{out} = 900 が得られる。

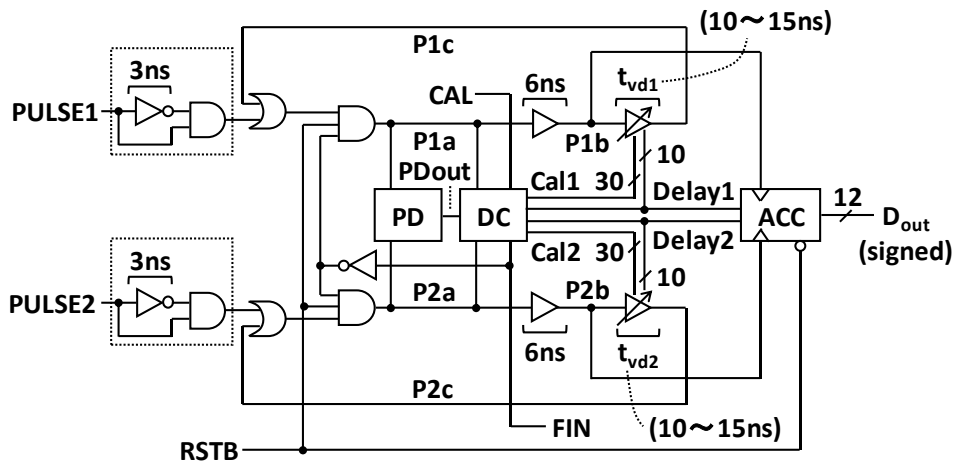


図 3.7 可変遅延回路を用いたサイクリック型 TDC の詳細構成

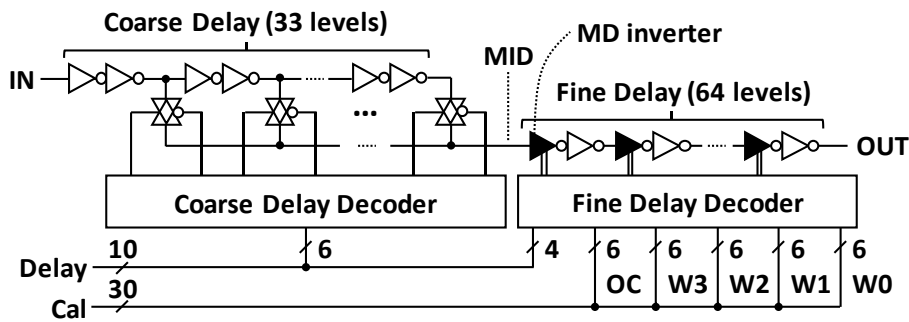


図 3.8 可変遅延回路[14]

提案回路の詳細構成を図 3.7 に示す。点線部の回路は入力立ち上がり時に 3 ns 幅のパルス生成する。P1a～P1b 間および P2a～P2b 間のバッファはタイミング調整用の固定遅延回路である。固定遅延回路の遅延時間は、位相検出器および遅延制御回路の遅延 (P1a または P2a の立ち上がりから遅延制御コード Delay1、Delay2 が確定するまでの時間) にマージンを加算して 6 ns としている。

可変遅延回路を図 3.8 に示す。回路は Coarse デレイライン、Fine デレイライン、遅延制御コードデコーダで構成されている。Coarse デレイラインは 2 つのインバータを対にした遅延要素を 33 段並べており、Delay[9:4]¹ (Delay の MSB 側 6 bit) に応じて遅延要素の出力を 1 カ所取り出し、中間ノード MID へ出力する。遅延要素 1 段あたりの遅延時間は 150 ps としており、IN～MID 間の遅延を 150～4,950 ps の範囲で 33 段階変化できる。Fine デレイラインは MD (Multiple Delay) インバータと通常のインバータを対にした遅延要素を 64 段並べており、Delay[3:0] (Delay の LSB 側 4 bit) およびキャリブレーション

¹ 本論文では、バス信号を Verilog HDL の文法に従って表記している。

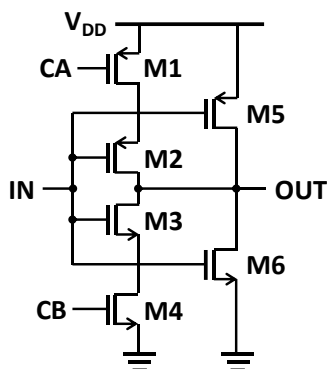
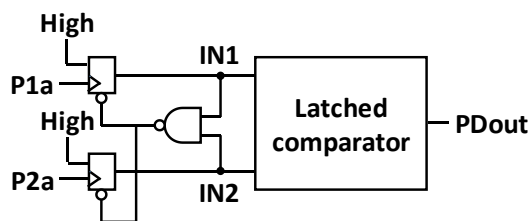


図 3.9 MD インバータ [14]

コード Cal に応じて MD インバータの遅延を変化させる。

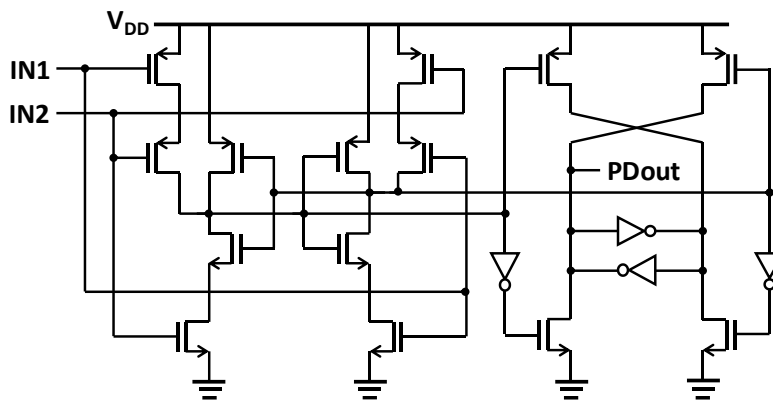
MD インバータを図 3.9 に示す。MD インバータはインバータを 2 つ並列接続し、制御端子 CA、CB により片方のインバータ (M2 と M3) のオンオフ切り替えを可能にしたものである。CA/CB = High/Low のときは片方のインバータがオフとなるので、ドライブ能力が小さくなる。よって、後段インバータ入力容量の充放電時間が延びるため遅延時間が増える。一方、CA/CB = Low/High のときはドライブ能力が大きくなり、遅延時間が減る。このように MD インバータは制御端子 CA、CB により遅延時間を変化させることができる。MD インバータの遅延時間の変化量は 3 ps としており、Fine デイレイライン遅延要素 1 段あたりの遅延時間は CA/CB = Low/High のとき 150 ps (短遅延)、CA/CB = High/Low のときの 153 ps (長遅延) となる。Fine デイレイライン (MID~OUT 間) の遅延は 9,600~9,792 ps の範囲で 64 段階変化できる。可変遅延回路全体 (IN~OUT 間) の遅延は 9,750~14,742 ps の範囲となる。

位相検出器を図 3.10 に示す。回路には図 3.10 (b) 示すラッチドコンパレータ [16] を使用しており、P1a が先に立ち上がった場合は PDout = High を出力、P2a が先に立ち上がると PDout = Low を出力する。P1a/P2a = Low/Low または High/High のとき、PDout の値は保持される。ラッチドコンパレータで位相検出器を構成すると、位相比較の不感帯を 1 ps 程度まで小さくできる。MD インバータの遅延変化量よりも不感帯を小さく設計することで変換精度の劣化を小さくできる。



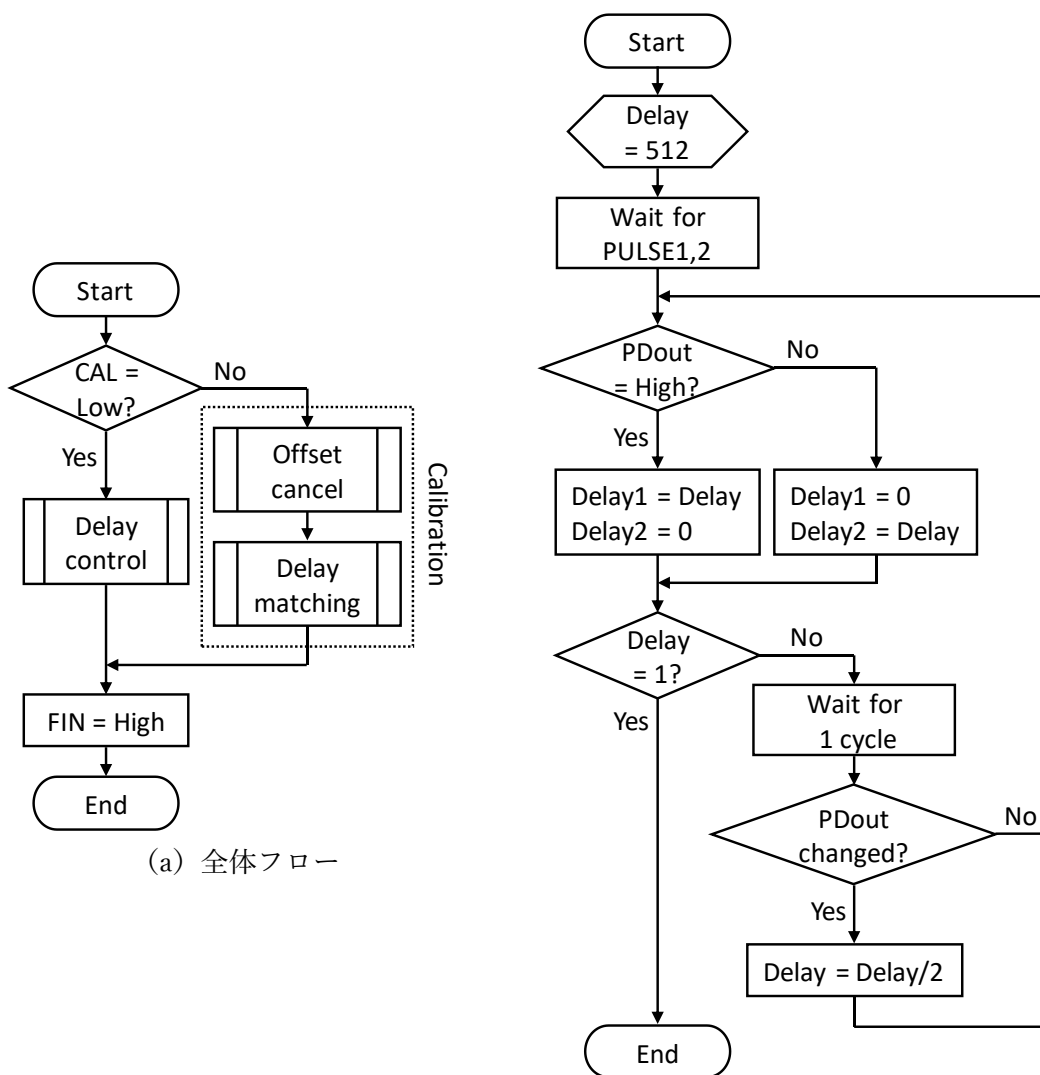
(a) 全体構成

図 3.10 位相検出器 [14] (次頁に続く)



(b) ラッチドコンパレータ

図 3.10 位相検出器[14]



(a) 全体フロー

(b) 遅延制御フロー

図 3.11 遅延制御回路のフローチャート[14]

遅延制御回路は図 3.11 に示すフローチャートに従って可変遅延回路の遅延制御とキャリブレーションを行う。CAL = High の場合、下記の 2 つのキャリブレーションを行う。

(1) ループ遅延のオフセットキャンセル

素子の製造ばらつき等により P1 と P2 のループ遅延時間に差（オフセット）が存在すると、パルスがループを 1 周するたびに誤差が蓄積し、出力コードに大きな誤差が生じる。このオフセットを回路内で測定し、遅延時間が短いループの可変遅延回路に同量のオフセットを追加してキャンセルする。

(2) 可変遅延回路の遅延マッチング

可変遅延回路内の Coarse デレイラインと Fine デレイラインでは、遅延要素 1 段あたりの遅延変化量が異なる。遅延制御コード Delay の遅延制御量の線形性を保つためには、Delay[n-1] で変化する遅延量は Delay[n] の半分とする必要がある。そこで、Coarse デレイラインの遅延要素 1 段あたりの遅延が、Fine デレイラインの遅延要素（MD インバータ）何段分の遅延変化量に相当するかを回路内で測定する。

電源電圧や温度が変動する環境では素子の遅延時間が変動するが、回路内の素子間では差が小さいと考えられ、相対精度への影響は小さい。よって、上記のキャリブレーションは回路起動時のみ行う。CAL = Low の場合は図 3.11 (b) に示すフローチャートに従って遅延制御コードを出力し、変換動作を行う。

3.3.3 絶対精度の保証

距離センサなど正確な時間測定を行うアプリケーションでは絶対精度の確保が必要となる。すなわち TDC に入力された時間と出力コードの対応付けが正確である必要がある。2.4.7 項で述べたように DLL を用いることにより絶対精度を確保することが可能であるが、本研究では DLL を用いずに絶対精度を保証する手法を検討した。具体的には、図 3.12 に示すように、水晶発振器等から基準クロックを生成し、その 1 周期の時間に相当するデジタル値を得る回路を追加する。基準クロック 1 周期に相当するデジタル値を用いて、アプリケーション側（マイコン等の上位システム）で TDC 出力コードの補正を行うことを想定

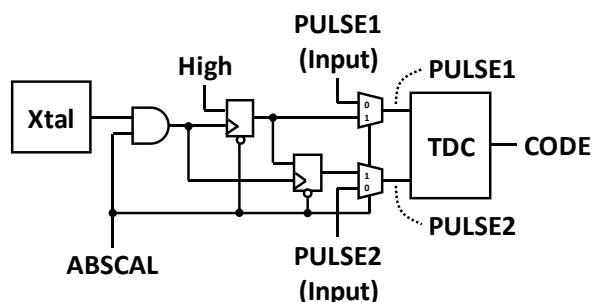


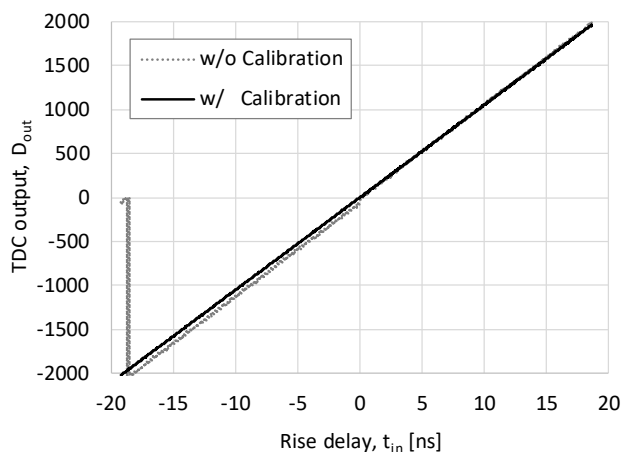
図 3.12 絶対精度を保証するための追加回路

している。電源電圧や温度が変動する環境では素子の遅延時間が変動するため、絶対精度のキャリブレーションを定期的に行う必要がある。なお、この手法は DLL を用いない他の TDC にも応用可能である。

3.3.4 シミュレーションによる評価

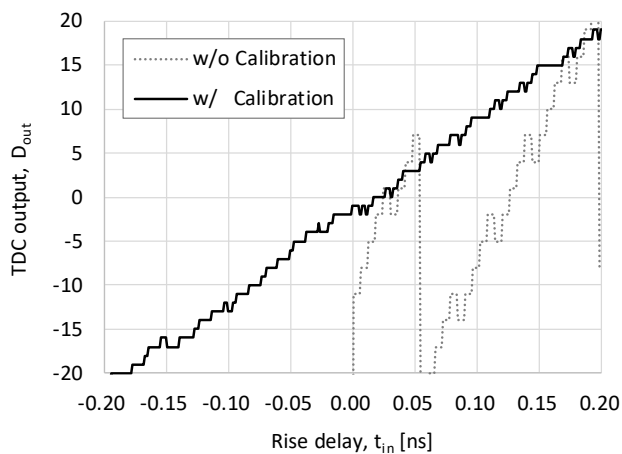
提案回路を Verilog で記述し、回路のシミュレーションを行った。可変遅延回路等のアナログ回路は、CMOS 0.18- μm プロセスのデバイスパラメータを用いて Spice シミュレーションを行い、そこから得られた遅延時間を用いて Verilog のビヘイビアモデルを記述した。シミュレーションの条件として、ループ遅延のオフセット 20 ps に加えて可変遅延回路に素子ばらつきがあると仮定している。素子ばらつきは、MOSFET の閾値電圧が 1 標準偏差につき 5 mV 変動するものとして Spice でモンテカルロシミュレーションを行った。そこから得られた遅延素子ごとの遅延時間ばらつきを Verilog モデルへ反映した。

入出力特性のシミュレーション結果を図 3.13 に示す。入力は 2 つのパルスの立ち上がり時間差 t_{in} 、出力は TDC 出力コード D_{out} である。PULSE1 の立ち上がりが先するとき t_{in} は正、PULSE2 が先するとき t_{in} は負とした。3.3.2 項で述べたキャリブレーションを行わない場合を点線、キャリブレーションを行った場合を実線で示した。キャリブレーションにより線形性は大幅に向上していることがわかる。なお、キャリブレーションを行った場合でも、ミッシングコードは存在しないが、可変遅延回路の素子ばらつきにより非単調コードが生じている。



(a) 特性全体

図 3.13 TDC の入出力特性 (次頁に続く)



(b) $t_{in} = 0$ ns 付近

図 3.13 TDC の入出力特性

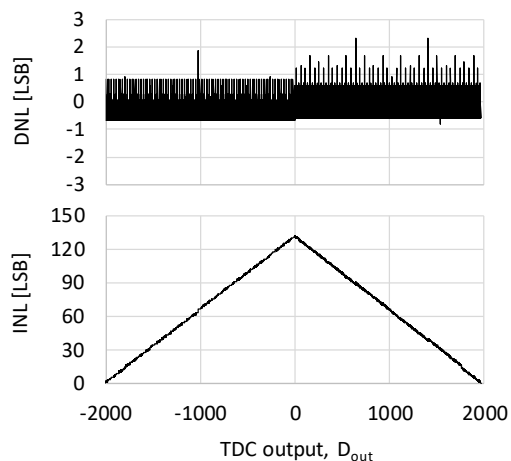


図 3.14 TDC の線形性

キャリブレーションを行った場合の DNL と INL のシミュレーション結果を図 3.14 に示す。分解能を 9.38 ps/LSB としたとき、DNL の最悪値は+2.3 LSB、INL の最悪値は+132 LSB であった。可変遅延回路の素子ばらつきにより線形性が劣化している。素子ばらつきの影響は DWA により低減可能[17]だが、追加の論理回路が必要となるため消費電力や遅延時間が増える。本研究では消費電力の低減とサンプリングレートの高速化を優先し、DWA は組み込まずに検討を行った。また、INL は系統誤差であるため、あらかじめ測定した INL を LUT (Look-Up Table) に保存しておくことにより補正可能[15]である。

表 3.2 サイクリック型 TDC の性能比較表

文献	[15]	[16]	[18]	本研究
評価方法	テスト チップ	テスト チップ	テスト チップ	シミュレ ーション
プロセス [nm]	350	130	350	180
出力ビット数 [bit]	28	8	14	12
分解能 [ps/LSB]	1.22	1.25	10	9.38
ダイナミックレンジ [ns]	327,680 (0.625) ^(*)	±0.16	160 (1) ^(*)	±18.7
サンプリングレート [MS/s]	12.5	100	3	2
消費電力 [mW]	33	4.3	80	11
電源電圧 [V]	3.3	1.3	3.3	1.8

(*) DLL とカウンタにより粗い変換、サイクリック型 TDC により細かい変換を行う構成である。サイクリック型 TDC のみのダイナミックレンジを括弧内に記した。

他文献で提案されているサイクリック型 TDC との比較表を表 3.2 に示す。提案回路の電力は Spice シミュレーションにより変換動作時の平均電流を求めて計算した。文献[15][18]の TDC では、DLL の分解能を補間する目的でサイクリック型 TDC が使われており、サイクリック型 TDC 単体のダイナミックレンジは 1 ns 以下である。DLL とカウンタを用いることにより TDC 全体のダイナミックレンジは広いが、消費電力は大きい。提案回路はシミュレーションによる評価のみであるが、サイクリック型 TDC 単体としては分解能 10 ps/LSB 以下で±18.7 ns という広いダイナミックレンジを有しており、消費電力も DLL を使用した構成[15][18]より小さい。また、DLL はチャージポンプを含むため、電源電圧を切り下げると遅延同期の精度が劣化する。提案回路は DLL を用いていないため、電源電圧の切り下げにも対応しやすい。サンプリングレートは 2 MS/s を確保した。従来のサイクリック型 TDC (変換動作中、遅延要素の遅延時間差が一定) で同じ分解能とダイナミックレンジを確保する場合、サンプリングレートは最大で 27 kS/s に留まる¹。このことから、提案回路は可変遅延回路を用いることで 70 倍以上の高速化を実現している。

提案回路を距離センサに用いた場合、式 (3.2) ~ (3.3) より測定距離は 2.8 m、分解能は 1.4 mm である。2 MS/s のサンプリングレートを有することから、レーザを走査し物体

¹ サンプリングレート f_s は次式で求めた。

$$m = t_{DR} \div t_{LSB}; \quad t_{conv} = m \times t_{DR}; \quad f_s = t_{conv}$$

ただし、 m は変換に要する最大サイクル数、 t_{DR} はダイナミックレンジ、 t_{LSB} は分解能、 t_{conv} は変換時間である。

の形状を認識するセンサとして利用可能である。

3.4 まとめ

距離センサは、測定対象へ超音波や光を照射し、その反射時間等をもとに距離を測定するデバイスである。距離センサの中でも優れた性能を実現可能な ToF 方式の光学式距離センサは、距離画像センサと LiDAR にも採用されており、普及の拡大が見込まれている。ToF 方式では光の反射時間の測定と量子化に TDC が用いられている。距離測定の長さや分解能を向上させるためには、広いダイナミックレンジと高い分解能を有する TDC が必要とされる。さらに、距離画像センサでは回路面積が小さいこと、LiDAR ではサンプリングレートが高速であることが TDC に求められる。そこで本研究では、距離センサに用いる TDC として、高分解能と広ダイナミックレンジを小さな回路面積で実現できるサイクリック型 TDC に着目した。サイクリック型 TDC にはサンプリングレートが低いという欠点があったが、可変遅延回路を用いることによりサンプリングレートを高速化した構成を提案した。提案回路について、Verilog シミュレーションにより動作と性能の評価を行った。評価の結果、提案回路は分解能 10 ps/LSB 以下で ± 18.7 ns という広いダイナミックレンジを有すること、従来のサイクリック型 TDC よりもサンプリングレートを 70 倍以上高速化できることを確認した。また、提案回路は DLL を用いていないため、電源電圧の切り下げにも対応しやすい。以上のことから、高分解能かつ高速動作可能な TDC の実現にあたり、サイクリック構成が有効であることを確認した。

第4章 イメージセンサへの応用

4.1 まえがき

イメージセンサは、カメラ内において被写体から受けた光を電気信号へ変換するデバイスである。デジタルカメラやスマートフォンだけではなく、車載カメラや監視カメラにも使用されており、自動運転技術や地域安全も支える重要デバイスである。需要と用途の拡大に伴い、イメージセンサには解像度、フレームレート、感度、ダイナミックレンジなどの性能向上が求められている。2004年以降主流となったCMOS方式のイメージセンサ¹は、CMOSプロセス微細化の恩恵を受けて高解像度、低消費電力、高フレームレートを実現できた[1]～[3]。また、埋め込みPD (Pinned Photo Diode) [4]や裏面照射構造[5]、積層構造[6]などのプロセス技術導入により低ノイズ、高感度、モジュール小型化を実現している。また、画素および信号読み出し回路の工夫でも性能向上が進められている。例えば、画素共有技術[7]では1画素あたりのトランジスタ数を減らすことにより感度または解像度を向上できる。一方で、高解像度化により画素面積が小さくなっていることから、ダイナミックレンジの確保が難しくなっている。ダイナミックレンジの拡大技術として、短時間露光と長時間露光を連続して行い、画像の合成により広いダイナミックレンジの画像を得るHDR (High Dynamic Range) 合成[8]が広く採用されている。しかし、複数回の露光を伴うため、カメラまたは被写体が動いている場合は画像にブレが生じる。そこで本研究では、TDCを用いてPDの飽和時間を検出することにより、複数回露光を行わずにダイナミックレンジを拡大する技術に着目し、これを小さな画素面積で実現できる回路構成の検討を行った。

本章では、イメージセンサの概要について述べた後、画素容量とカラムADCによりPD飽和時間を検出できるイメージセンサを提案し、その回路構成と動作原理、シミュレーション結果について述べる。

4.2 イメージセンサの概要

4.2.1 イメージセンサの一般的な構成と動作原理

デジタルカメラやカメラモジュールは主にレンズ、イメージセンサ、ISP (Image Signal Processor) で構成される。図4.1に示すようにイメージセンサは、レンズを通して受けた被写体の光をデジタル値 (RAW データ) に変換する役割を担っている。イメージセンサから出力されたRAW データはISPで処理され、画像データが生成される。

イメージセンサの一般的なシステム構成を図4.2 (a) に示す。画素 (Pixel) は格子状に並んでおり、被写体の光を受けて光電変換を行う。4K解像度の場合、画素は水平方向に3840個、垂直方向に2160個並び、総画素数は約829万となる。画素アレイの外側には列ごとに

¹ 本論文では単にイメージセンサと言う場合、CMOS方式のイメージセンサ (CIS: CMOS Image Sensor) を指す。

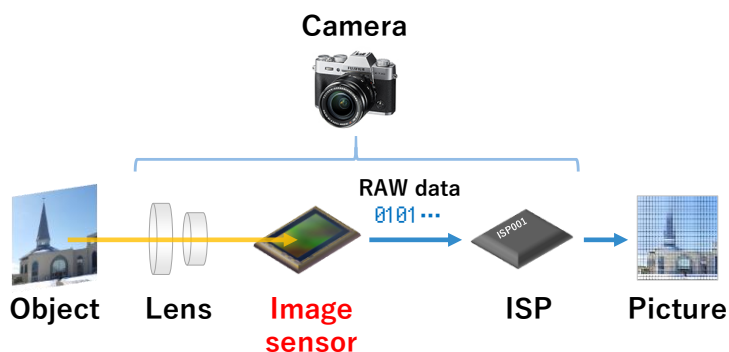


図 4.1 カメラの構成

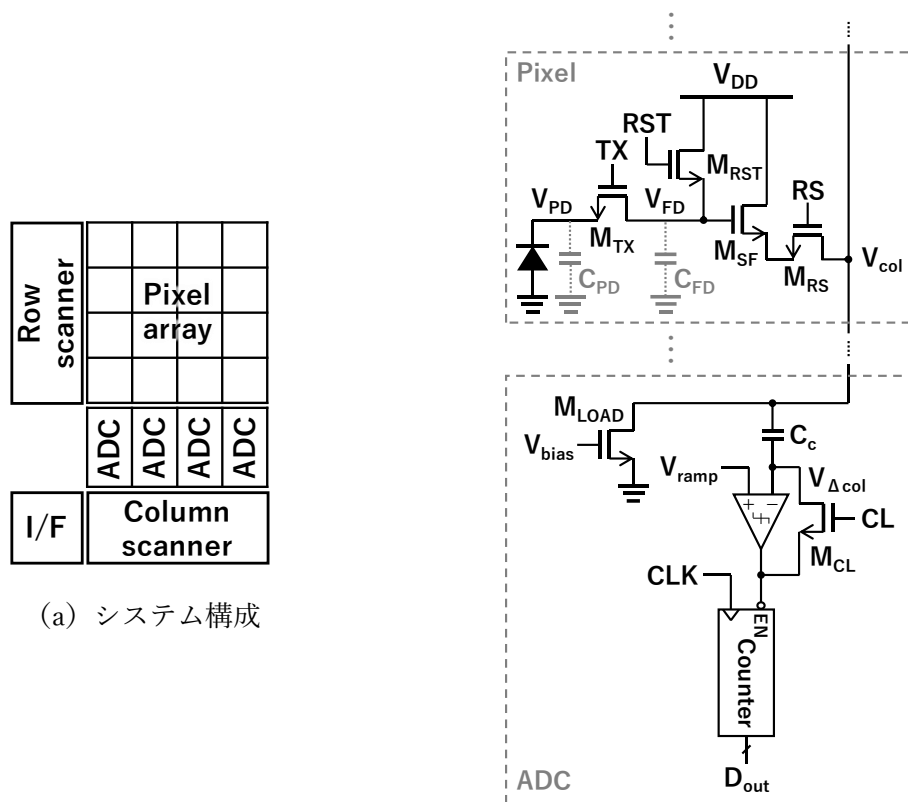


図 4.2 イメージセンサの一般的な構成

ADC (カラム ADC) が存在する。ADC は画素の行ごとに信号の量子化を行う。ADC の出力コードは水平走査回路 (Column scanner) を介して、インターフェース (I/F: Interface) 回路により ISP へ送信される。インターフェースの規格としては LVDS (Low Voltage Differential Signaling) が採用されることが多い[9]。画素のリセット信号や行選択信号は垂直走査回路 (Row scanner) が出力する。画素および ADC の回路[10]を図 4.2 (b) に示す。

画素は、PD (Photo Diode)、転送トランジスタ M_{TX} 、リセットトランジスタ M_{RST} 、ソースフォロアアンプ M_{SF} 、行選択トランジスタ M_{RS} で構成されている。なお、この構成は4トランジスタ (4T) 画素とも呼ばれる。 V_{FD} のノードをFD (Floating Diffusion; 浮遊拡散層) と呼ぶ。 C_{PD} と C_{FD} はそれぞれPD とFD の寄生容量であり、通常は同程度の容量になるよう設計される[11]。カラムADCとしてシングルスロープADCが一般的に用いられている[12]。列信号線にはソースフォロアアンプの負荷となるトランジスタ M_{LOAD} とカップリング容量 C_c が接続されている。また、コンパレータにはクランプトランジスタ M_{CL} が接続されている。画素の動作を図4.3のタイミングチャートと図4.4の電位分布(ポテンシャル図)を用いて説明する。なお、図4.4では上側が低い電位、下側が高い電位を示しており、PDおよびFDに電子が蓄積されると電位が低くなることを表している。また、図4.4のTXおよびRSTは転送トランジスタおよびリセットトランジスタのチャンネル電位を表している。下記の流れで動作する。

(1) リセット

RST と TX を立ち上げて、PD と FD に蓄積している電子を電源 (V_{DD} ノード) へ排出する。RST の電位が V_{DD} よりも高い場合、 $V_{FD} = V_{DD}$ となる (ハードリセット)。PD は空乏化し、 $V_{PD} = V_{PD_rst}$ (完全空乏化電位) となる。

(2) 露光

PD に光が当たると、光電効果により n 領域には電子 (信号電荷) が発生する。光強度に応じた量の電子が PD に蓄積し、 V_{PD} は低下する。光強度が大きく (照度が高く)、露光時間が長いほど多くの電子が蓄積し、露光終了時の V_{PD} は低くなる。FD は遮光されているが、暗電流により少量の電子が蓄積し、 V_{FD} も若干低下する。

(3) リセット読み出し

RST を立ち上げて、暗電流により FD に蓄積した電子を電源へ排出する。RST 立ち上げ後、kTC ノイズ (リセットノイズ) により V_{FD_rst} (リセット読み出し時の V_{FD}) はリセットごとに変動する。ノイズキャンセル (CDS: Correlated Double Sampling) のため V_{FD_rst} を、ソースフォロアアンプを介して V_{col_rst} として読み出す。このとき、CL を立ち上げてクランプトランジスタをオン状態にし、コンパレータの反転入力 $V_{\Delta col}$ を V_{ramp0} (V_{ramp} の初期電位) にセットする。これにより、信号読み出し時には信号成分に相当する電位変化のみが $V_{\Delta col}$ に現れる。

(4) 信号読み出し

TX を立ち上げて、PD に蓄積している全ての電子を FD へ転送する。このとき PD は空乏化し、 $V_{PD} = V_{PD_rst}$ となる。転送された電子により V_{FD} は下がり V_{FD_sig} となる。 V_{FD_sig} を、ソースフォロアアンプを介して V_{col_sig} として読み出す。リセット読み出し時に $V_{\Delta col} = V_{ramp0}$ にセットされているので、信号成分である $V_{col_sig} - V_{col_rst}$ が $V_{\Delta col}$ に現れる。 V_{FD_rst} と V_{FD_sig}

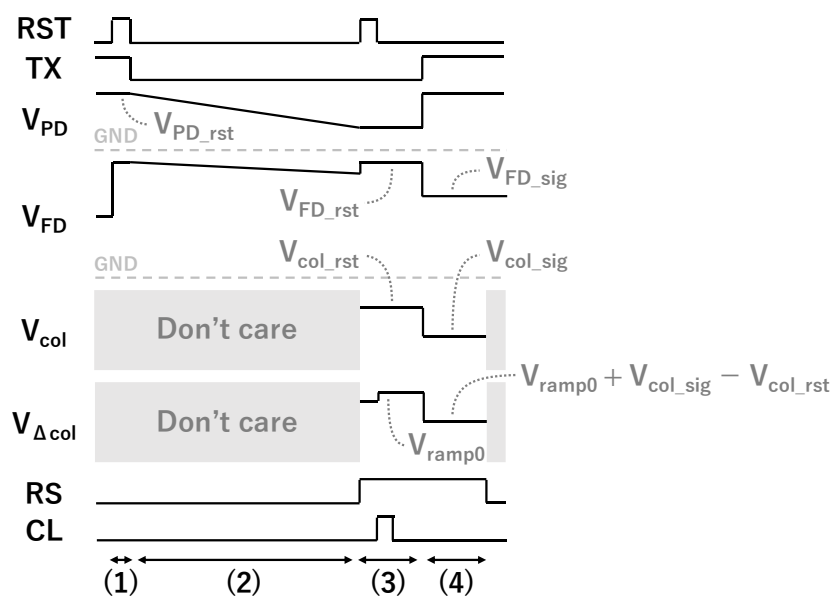


図 4.3 4トランジスタ画素のタイミングチャート

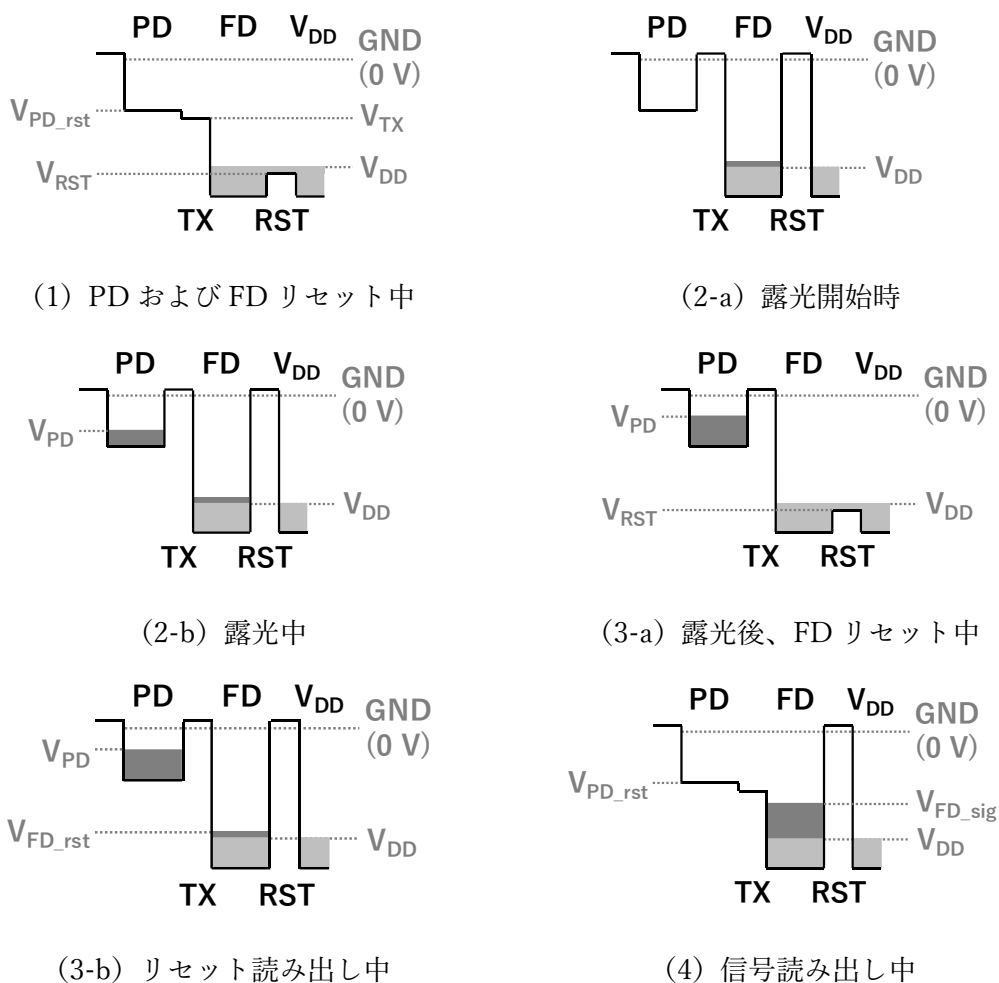


図 4.4 PD および FD の電位分布

は同量の kTC ノイズを含むため、 V_{col_sig} から V_{col_rst} を減算すると kTC ノイズを除去できる。また、画像の固定パターンノイズ (FPN: Fixed Pattern Noise) の原因となるソースフォロアアンプの閾値ばらつきも除去できる。

C_{PD} と C_{FD} が同じ容量値の場合、 $V_{PD_rst} \approx V_{DD} / 2$ となるよう設計される¹。飽和電荷量 (FWC: Full Well Capacity) は C_{PD} と V_{PD_rst} の積で求められ、これが大きいほど高照度側のダイナミックレンジを広くできる。飽和電荷量を増やすには C_{PD} か V_{PD_rst} を大きくする必要があるが、 V_{PD_rst} は電源電圧により決まるため大きくするのが難しい。なお、市販のイメージセンサの電源電圧は 3 V 程度である [13][14]。一方 C_{PD} は PD の面積により決まるため、ダイナミックレンジを広げるためには画素面積を大きくする。しかし、画素面積を大きくすると解像度が下がるため、ダイナミックレンジと解像度はトレードオフの関係にある。

4.2.2 暗電流と埋め込み PD

PD には暗電流と呼ばれるノイズが存在する。これは暗状態 (光が当たっていない状態) でも発生する電子を指しており、低照度時の画質 (SN 比) を劣化させる。PD を構成する pn 接合は、リセット直後は逆バイアス (非平衡) 状態となっている。このとき逆バイアス状態を解消し平衡状態へ戻ろうと、n 領域にはシリコン酸化膜との界面準位を介して電子が励起される。この励起された電子が暗電流である。PD で発生する暗電流を抑制するため、n 領域とシリコン酸化膜の間に高濃度の p 層を挿入する埋め込み PD (PPD: Pinned Photo Diode) が一般的に採用されている [4]。埋め込み PD の製造にはフォトマスクの追加が必要となるため、イメージセンサの製造プロセスは標準の CMOS プロセスとは区別され CIS プロセスと呼ばれる [15]。

FD も転送トランジスタのドレインおよびリセットトランジスタのソースと基板間で pn 接合を形成している。さらに、ソースフォロアアンプへの接続に金属コンタクトが存在するため、暗電流が発生しやすくなっている。しかし、露光中に暗電流により FD に蓄積した電子は、リセット読み出し時に排出されるため信号に影響を与えない。リセット読み出し中および信号読み出し中にも暗電流は発生するが、露光時間と比較して非常に短い時間 (例えば 4K 解像度で 30 fps の場合、最大露光時間 33 ms に対して最大読み出し時間 15 μ s) であるため発生する電子は少なく、SN 比への影響は小さい。

¹ 感度および低照度時の SN 比を上げるため電荷電圧変換ゲイン (CG: Conversion Gain) を大きくする場合は、 C_{FD} が C_{PD} より小さくなるよう設計する。その場合は $V_{PD_rst} \approx V_{DD} \frac{C_{FD}}{C_{PD} + C_{FD}}$ となる。

4.2.3 代表的な性能指標

イメージセンサの代表的な性能指標を表 4.1 に示す。

センササイズは小さいほどレンズも小型化できるため、カメラ小型化の観点では小さいセンサが望ましい。しかし、画素サイズを維持した場合、センササイズが小さいほど解像度は低くなる。画素サイズを小さくした場合、ダイナミックレンジや感度は劣化する。

解像度は 35 mm フルサイズフォーマット (35.7 × 23.8 mm) で、水平 9504 画素、垂直 6336 画素、総画素数 6000 万を越えるセンサが実用化されている [16]。アスペクト比 (縦横比) は写真用だと 3:2 または 4:3、動画用だと 16:9 が主流である。

画素サイズはセンササイズと解像度により決まり、スマートフォン向けでは 0.8 × 0.8 μm の画素を有するセンサが実用化されている [17]。ただし、PD 面積が大きいほど感度やダイナミックレンジは向上するため、画素サイズは大きい方が好ましい。

フレームレートは写真撮影時の連写速度、動画撮影時のフレームレートに影響し、解像度、読み出し回路の遅延、ADC のサンプリングレート、インターフェース回路のデータレートにより律速される。動画は 60 fps で撮影されることが多いが、フル HD 解像度 (水平 1920 画素、垂直 1080 画素) で 1000 fps のスローモーション撮影可能なセンサが実用化されている [18]。

ダイナミックレンジは、画像の階調 (グラデーション) を維持できる明暗差の範囲を決める。被写体の明暗差に対してダイナミックレンジが狭い場合、画像に白飛びや黒潰れが生じ

表 4.1 イメージセンサの代表的な性能指標

項目	単位	説明
センササイズ	mm またはインチ	撮像面の大きさ; インチ単位の場合は同等の受光面積を有する撮像管の直径
解像度	—	水平方向と垂直方向の画素数
画素サイズ	μm	画素の大きさ; 一辺の長さや隣接画素との間隔 (ピッチ) で表されることもある
フレームレート	fps	1 秒間に撮影できるフレーム数 (画像数)
ダイナミックレンジ	dB	飽和電荷量と暗時ノイズ電子数の比 または階調を維持出来る照度の範囲
ADC 分解能	bit	ADC の分解能
SN 比	dB	信号電子数と等価ノイズ電子数の比
飽和電荷量	e ⁻	PD および FD が蓄えられる最大の電荷量 (電子数)
感度	V/lx・s または LSB/lx・s	1 lx の光を 1 秒間受けたときに生じる信号読み出し時の画素出力 (ADC 入力) の電位変化 または ADC 出力コードの変化量
消費電力	W	動作中に消費される電力

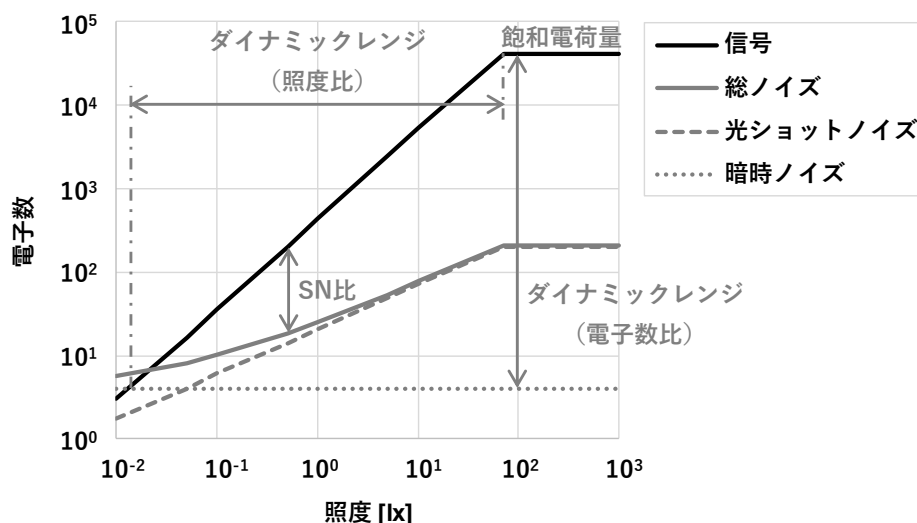


図 4.5 信号電子数とノイズ電子数の照度依存性

る。特に監視カメラや車載カメラでは、日光が差し込む室内やトンネルの出入り口など明暗差が大きいシーンへ対応するため、広いダイナミックレンジが求められる。70 dB 程度のセンサが多い[19]が、HDR 合成[8]により 120 dB を実現したセンサも実用化されている[20]。

ADC 分解能が高いほど、画像の階調が滑らかになる。ただし、分解能が高いほどサンプリングレートは遅くなるため、フレームレートとはトレードオフの関係にある。12 bit の製品が多いが、16 bit の製品も存在する[21]。

画素における受光照度と信号電子数およびノイズ電子数の関係[22]を図 4.5 に示す。ノイズは主に暗時ノイズと光ショットノイズに分けられる。暗時ノイズは暗電流と読み出し回路のノイズであり、照度(信号電子数)には依存しない。光ショットノイズは照度に依存し、ノイズ電子数は信号電子数の平方根に比例する。高照度ほど信号電子数は増えて SN 比は向上する。従って、飽和電荷量が大きいほど SN 比の最大値も向上する。

感度は受けた光に対してどれだけ信号が得られるかを表し、図 4.5 の信号グラフの傾きに相当する。注目する信号の種類により $e^-/lx \cdot s$ 単位や $A/lx \cdot s$ 単位で表記する場合もある[23]。感度が高いほど信号電子数は増えるので、特に低照度時の SN 比が向上する。感度は量子効率 (QE: Quantum Efficiency) と電荷電圧変換ゲイン (CG: Conversion Gain) の積で決まる。量子効率は、PD が受けた光子 1 個に対してどれだけ電子が発生するかの割合である (光子 1 個に対して電子 1 個のとき 100%)。量子効率は光の波長に依存するが、最大で 80% を越える製品も存在する[24]。電荷電圧変換ゲインは、PD に蓄積された電子が、信号読み出し時に電圧へ変換されるときに利得である。ソースフォロアアンプの利得を G_{SF} とすると、電荷電圧変換ゲインは G_{CG} は次式で求められる。

$$G_{CG} = \frac{G_{SF}}{C_{FD}} \tag{4.1}$$

式 (4.1) より C_{FD} を小さくすると電荷電圧変換ゲインを増やすことができ、感度は向上する。また、画素に占める PD 面積の割合である開口率 (Fill factor) を上げると、より多くの光を PD に取り込むことができ、感度を向上できる。開口率を上げるには、画素サイズの拡大またはトランジスタおよび配線の面積縮小が必要であるが、マイクロレンズにより PD へ集光することにより実効的な開口率を上げることができる。また、裏面照射 (BSI: Back Side Illumination) 構造の採用により 100%の開口率を実現できる [5]。

消費電力は主に解像度とフレームレートに比例して増加し、特に動画撮影時の消費電力は大きくなる。近年、4K 解像度での動画撮影が可能なカメラやスマートフォンが市販されているが、消費電力増大によるバッテリー駆動時間の減少や発熱が問題になっている [25]。イメージセンサにおいては、温度が上昇すると暗電流などのノイズが増えるため画質にも影響する。イメージセンサの低消費電力化のためには、ADC やインターフェース回路の消費電力を下げる必要があるが、特に ADC は列ごとに存在するため影響が大きい。

4.3 画素内容量とカラム ADC による PD 飽和時間検出

4.3.1 PD 飽和時間検出の概要

イメージセンサのダイナミックレンジを拡大するには、暗時ノイズを減らすか飽和電荷量を増やす必要がある。暗時ノイズの低減には製造プロセスの改善が必要である。飽和電荷量は、電源 (リセット) 電圧を高くするか PD 面積を大きくすることにより増やせる。しかし、電源電圧はシステムの電源に依存し、消費電力とのトレードオフとなるため高くするのは難しい。また、PD 面積は解像度とのトレードオフとなる。高解像度と広ダイナミックレンジを両立するため、1 回の撮影で短時間露光と長時間露光を連続して行い、画像の合成により広いダイナミックレンジの画像を得る HDR 合成 [8] が広く採用されている。しかし、複数回の露光を伴うため、カメラまたは被写体が動いている場合は画像にブレが生じる。1 回の露光でも広ダイナミックレンジを実現するため、画素内に TDC を組み込み、PD の飽和時間を検出する構成 [26] が提案されている。図 4.6 に示すように、PD の飽和時間を信号として検出することにより、PD が飽和してしまう高照度の光強度も検出できる。

文献 [26] で提案されているイメージセンサの画素回路を図 4.7 に示す。画素は PD、リセットトランジスタ、転送トランジスタ、ソースフォロアアンプ、負荷トランジスタ、コンパ

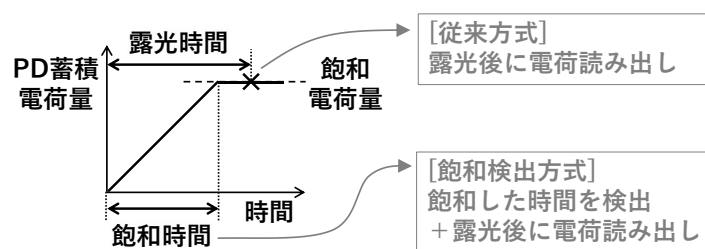


図 4.6 飽和検出方式の概念

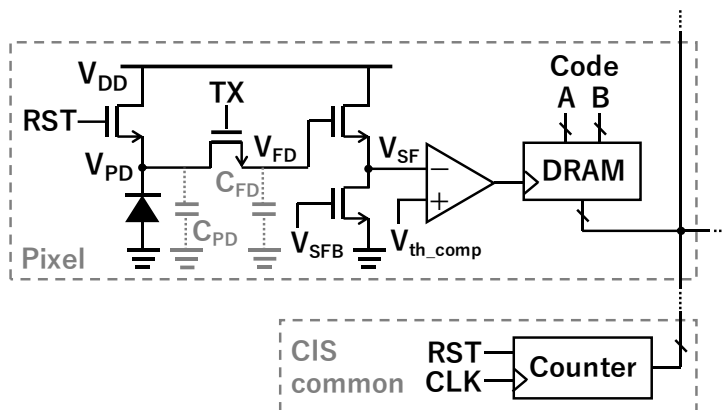
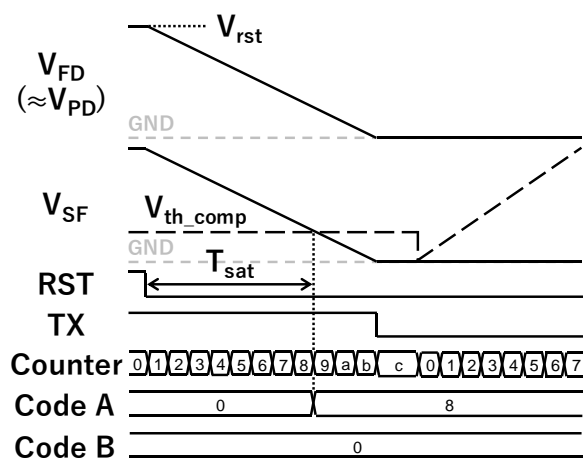
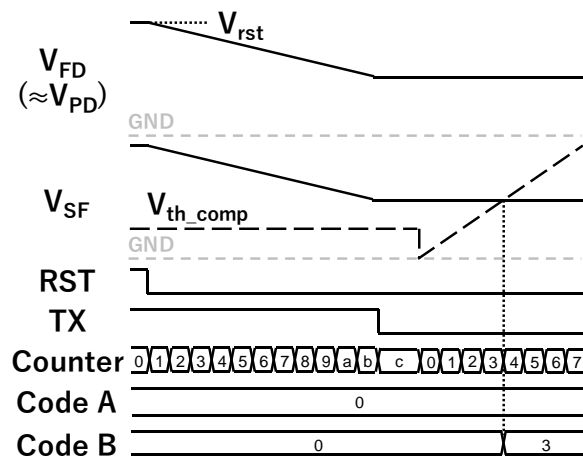


図 4.7 文献[26]で提案されている画素回路



(a) 高照度時



(b) 低照度時

図 4.8 文献[26]の画素回路のタイミングチャート

レータ、DRAMで構成されている。共通回路にはカウンタがあり、その出力が全ての画素のDRAMへ入力されている。露光中の画素の動作を図4.8のタイミングチャートを用いて説明する。初めにRSTとTXを立ち上げて V_{PD} および V_{SF} が V_{rst} （ハードリセットの場合は V_{DD} ）にリセットされる。RST立ち下げ後、PDに光が当たると V_{PD} は V_{rst} から徐々に減少していく。露光中はTXを立ち上げたままなので、 $V_{FD} \approx V_{PD}$ となっている。従って V_{PD} に応じて V_{SF} も減少していく。高照度時（図4.8(a)）は、 V_{SF} がコンパレータ閾値 $V_{th,comp}$ を下回った時、DRAMにカウンタ出力が書き込まれ、コードAとして出力される。このコードAがPDの飽和時間 T_{sat} を表している。低照度時（図4.8(b)）は、露光中に V_{SF} は $V_{th,comp}$ を下回らないが、露光後に V_{SF} の量子化が行われる。具体的には、コンパレータ、カウンタ、DRAMによりシングルスロープADCを構成し、 $V_{th,comp}$ にランプ波を入力することで量子化を行う。変換結果はDRAMに書き込まれ、コードBとして出力される。以上の動作により、高照度時は T_{sat} 、低照度時は V_{SF} をそれぞれコードAとコードBとして量子化する。1回の露光で高照度時も低照度時も光強度を検出でき、広ダイナミックレンジを実現できる構成である。しかし、この構成には下記の課題が存在する。

(1) 画素面積と消費電力

コンパレータとDRAMにより画素面積が大きくなるため、高解像度化には不利である。また、露光中の消費電力も大きくなる。

(2) 暗電流

露光中に転送トランジスタをオン状態にしているため、FDで発生した暗電流がPDへ流れ込みSN比が劣化する。埋め込みPDを使用する場合は、暗電流が小さいという利点が失われる。

(3) 入出力特性の非線形性

PDに流れる光電流 I_{PD} と飽和時間 T_{sat} の関係を次式に示す。

$$T_{sat} = \frac{(V_{rst} - V_{th,comp})(C_{PD} + C_{FD})}{I_{PD}} \quad (4.2)$$

式(4.2)より I_{PD} と T_{sat} は反比例の関係にあるため、光強度に対するコードBの特性は非線形となる。

本研究では、これらの課題を解決できるイメージセンサの構成を検討した。

4.3.2 回路構成と動作原理

提案するイメージセンサの回路構成を図4.9に示す。一般的な4トランジスタ画素(PD、転送トランジスタ、リセットトランジスタ、ソースフォロアアンプ、行選択トランジスタ)に対して、インバータ、飽和検出用容量(C_{TS})、3つのPMOSトランジスタを追加している。列共通回路は一般的なイメージセンサ(図4.2(b))と同様の構成としている。行共通

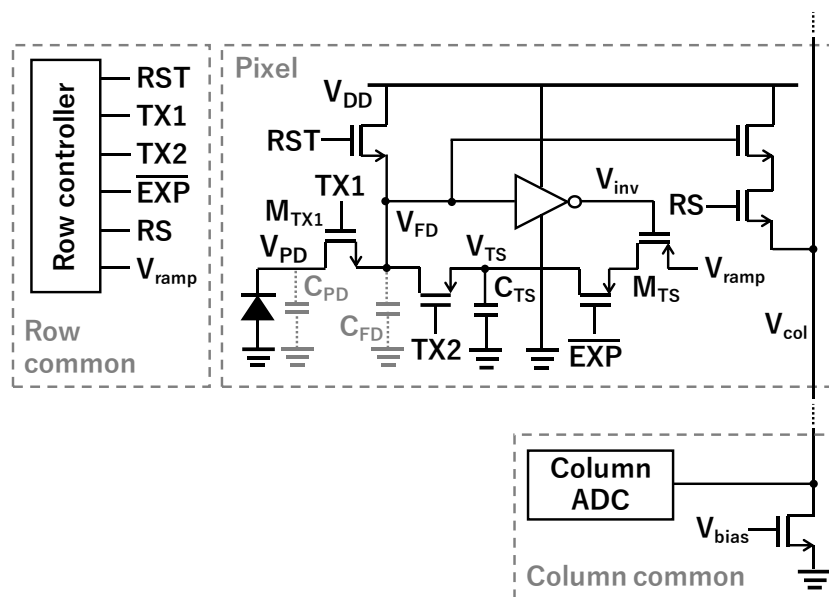


図 4.9 提案イメージセンサの回路構成

回路には画素の制御信号を出力する行制御回路（Row controller）がある。提案回路の動作を図 4.10 のタイミングチャートに従って説明する。

(1) リセット

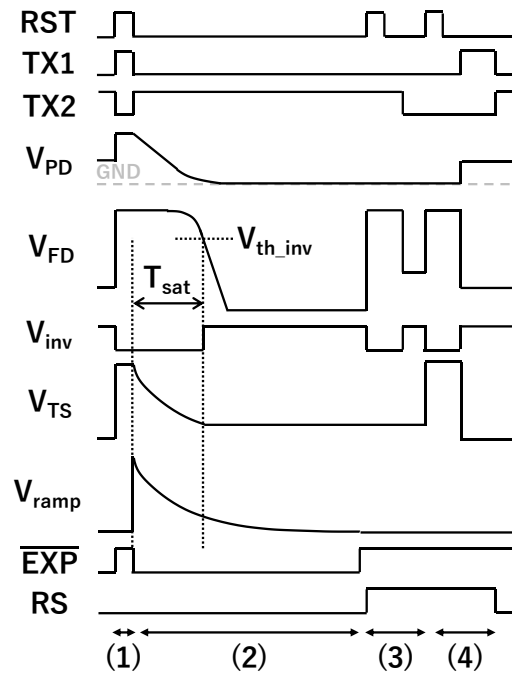
RST と TX1 を立ち上げ、TX2 を立ち下げて、 V_{PD} 、 V_{FD} 、 V_{TS} をそれぞれのリセット電圧にリセットする。

(2) 露光

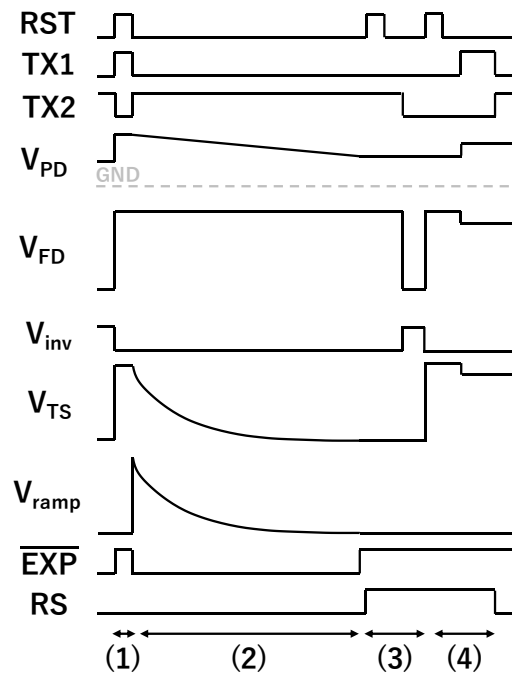
露光中、行制御回路よりランプ波 (V_{ramp}) を出力する。高照度時 (図 4.10 (a)) は、 V_{PD} が GND レベル付近まで低下すると、サブスレッショルド電流により V_{FD} も低下する。 V_{FD} がインバータの論理閾値 V_{th_inv} を下回ると、インバータ出力 V_{inv} が立ち上がる。これにより V_{inv} に接続されている PMOS トランジスタ M_{TS} がオフ状態となり、 C_{TS} はこの時の V_{ramp} を V_{TS} として保持する。この V_{TS} が PD 飽和時間 T_{sat} を表す。低照度時 (図 4.10 (b)) は、 V_{PD} は GND レベル付近まで下がらず、 M_{TS} もオン状態のままである。よって、露光終了時の V_{TS} は V_{ramp} の最低電圧に等しくなる。なお、露光中は TX1 に接続されている転送トランジスタ M_{TX1} はオフ状態であるので、FD で発生した暗電流が PD へ流れ込まない。よって、低照度時も SN 比を維持できる。

(3) V_{TS} 読み出し

RST を立ち上げて V_{FD} をリセットし、 V_{FD} のリセット電圧を読み出す。その後、TX2 を立ち下げて FD 経由で V_{TS} を読み出す。CDS によりリセットノイズを除去し、カラム ADC で量子化する。



(a) 高照度時



(b) 低照度時

図 4.10 提案回路のタイミングチャート

(4) V_{PD} 読み出し

RST を立ち上げて V_{FD} をリセットし、 V_{FD} のリセット電圧を読み出す。その後、TX1 を立ち上げて FD 経由で V_{PD} (PD に蓄積された電子) を読み出す。CDS によりリセットノイズを除去し、カラム ADC で量子化する。

以上の動作により、高照度の光強度に応じた V_{TS} と、低照度の光強度に応じた V_{PD} の 2 つの信号がデジタル値として得られる。従来のイメージセンサで得られるのは V_{PD} に相当するデジタル値のみである。従って、提案回路は高照度側へダイナミックレンジを拡大できる。

4.3.3 T_{sat} オフセット誤差

提案回路において実際の PD 飽和時間 T_{sat_ac} は図 4.11 と次式で表される。

$$T_{sat_ac} = \frac{V_{PD_rst} C_{PD}}{I_{PD}} \tag{4.3}$$

V_{PD_rst} は PD のリセット電圧である。また、図 4.11 では解析単純化のため V_{PD} と V_{FD} の応答を線形化している。PD が飽和し V_{PD} が GND レベル付近に到達した後、 V_{FD} が V_{th_inv} に到達するまでは時間が掛かる。この時間が T_{sat_os} であり T_{sat} のオフセット誤差となる。 T_{sat_os} は次式で表される。

$$T_{sat_os} = \frac{(V_{FD_rst} - V_{th_inv}) C_{FD}}{I_{PD}} \tag{4.4}$$

V_{FD_rst} は FD のリセット電圧である。式 (4.3) ~ (4.4) より T_{sat} は次式で表される。

$$T_{sat} = T_{sat_ac} + T_{sat_os} = \frac{V_{PD_rst} C_{PD} + (V_{FD_rst} - V_{th_inv}) C_{FD}}{I_{PD}} \tag{4.5}$$

T_{sat_os} を小さくするためには、 V_{th_inv} を高く、 C_{FD} を小さく、 I_{PD} を大きくする必要がある。 V_{th_inv} については、図 4.12 に示すようにインバータにダイオード接続の NMOS トランジスタを 2 つ追加し、 V_{th_inv} を高くする。また、 I_{PD} は設計では変更できないが、PD が飽和する

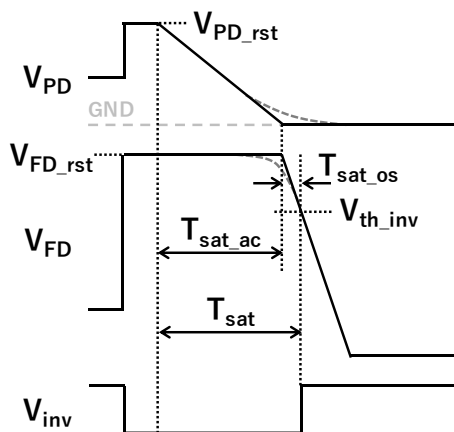


図 4.11 T_{sat} オフセット誤差

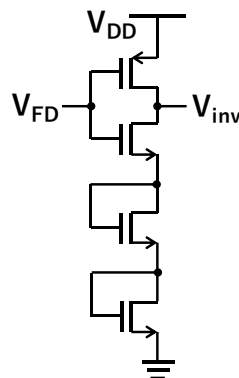


図 4.12 高閾値インバータ

最小の I_{PD} (I_{PD_satmin}) は変更できる。 I_{PD_satmin} は次式で表される。

$$I_{PD_satmin} = \frac{V_{PD_rst} C_{PD}}{T_{exp}} \quad (4.6)$$

T_{exp} は露光時間である。また、 T_{sat_ac} は T_{exp} を越えない ($T_{sat_ac} < T_{exp}$)。式 (4.4)、(4.6) より C_{PD} を大きくすれば I_{PD_satmin} を大きくでき、その結果 T_{sat_os} を小さくできる。

ここで、飽和検出のデッドタイムと出力コードに与える影響について考える。図 4.13 の破線に示すように、PD 飽和後 (V_{PD} が GND レベル付近に到達後)、飽和が検出 (V_{FD} が V_{th_inv} に到達) される前に露光が終了する場合がある。このような場合、PD から FD へオーバーフローした電子は、 V_{TS} 読み出し時のリセットで電源へ排出されてしまう。これにより出力コードに誤差が生じる。 T_{sat_ac} がデッドタイムに入る条件は次式で表される。

$$T_{exp} - T_{sat_os} < T_{sat_ac} < T_{exp} \quad (4.7)$$

式 (4.4)、(4.7) より T_{sat_ac} がデッドタイムに入る I_{PD} の条件は次式で表される。

$$I_{PD_satmin} < I_{PD} < I_{PD_satmin} + \frac{(V_{FD_rst} - V_{th_inv}) C_{FD}}{T_{exp}} \quad (4.8)$$

ここで、図 4.14 に示すように I_{PD} から出力コード D_{out} への変換係数を K_{conv} とすると、 D_{out} は次式で表される。

$$D_{out} = K_{conv} I_{PD} \quad (4.9)$$

式 (4.8) ~ (4.9) より、デッドタイムにより生じる出力コード誤差 D_{err} は次式で表される。

$$D_{err} = K_{conv} \frac{(V_{FD_rst} - V_{th_inv}) C_{FD}}{T_{exp}} \quad (4.10)$$

D_{err} は出力コードのオフセット誤差であるため、 V_{TS} から得られた出力コードにオフセットを加算することによって誤差を除去できる。しかし、 I_{PD} が式 (4.8) の範囲に入る場合、出

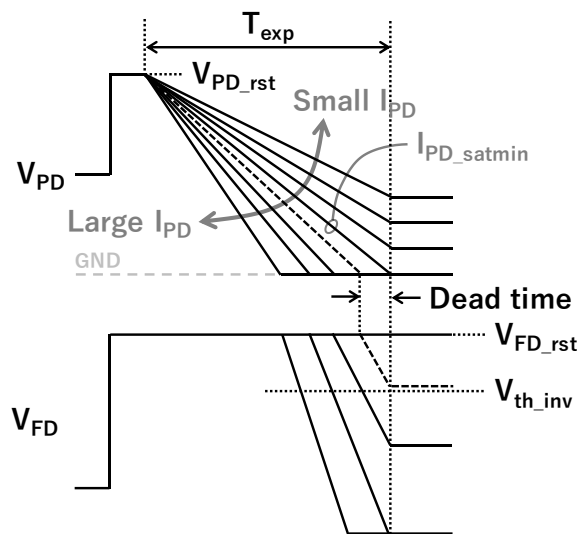


図 4.13 飽和検出のデッドタイム

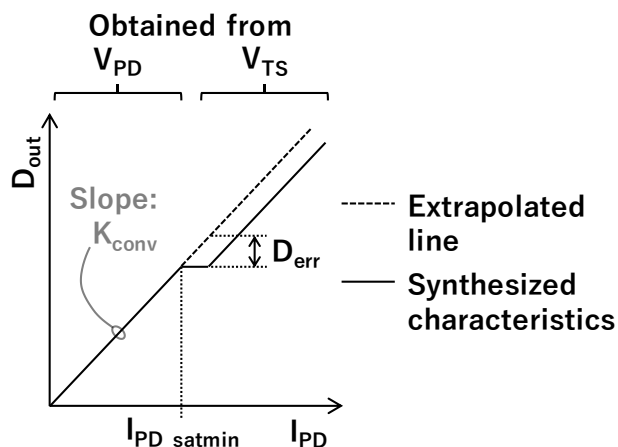


図 4.14 $I_{PD} - D_{out}$ 特性

カコードが変化しないため誤差は除去できない。 D_{err} を小さくするためには、 T_{sat_os} の低減と同じように C_{FD} を小さく、 V_{th_inv} を大きくする必要がある。

4.3.4 出力コードの線形化

提案回路において、式 (4.5) に示したように T_{sat} と I_{PD} は反比例の関係にある。図 4.15 の破線で示すようにランプ波が線形るとき、図 4.16 の破線で示すように I_{PD} と V_{TS} は反比例の関係となる。 $I_{PD} - V_{TS}$ 特性を線形化するため、図 4.15 の実線で示すような非線形ランプ波を使用する。これにより、 $I_{PD} - V_{TS}$ 特性は図 4.16 の実線で示すように線形となる。

非線形ランプ波は時間関数として次式で表される。

$$V_{ramp}(t) = \frac{K_{ramp}}{t} + V_{ramp_min} \tag{4.11}$$

V_{ramp_min} はランプ波の最低電圧であり、ソースフォロアアンプが飽和領域で動作する最小のゲート電圧で決められる。 K_{ramp} はランプ波の形状を調整する係数で、次式で表される。

$$K_{ramp} = (V_{DD} - V_{ramp_min}) \frac{V_{PD_rst} C_{PD}}{I_{PD_detmax}} \tag{4.12}$$

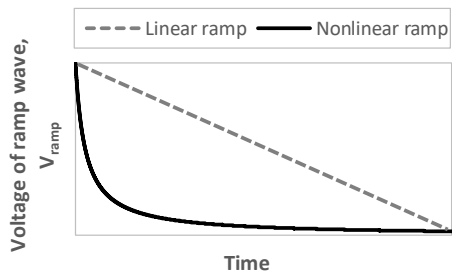


図 4.15 ランプ波の波形

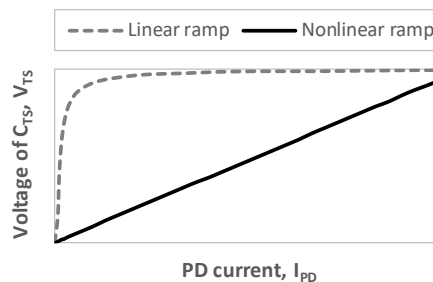


図 4.16 $I_{PD} - V_{TS}$ 特性

I_{PD_detmax} は飽和検出できる最大の I_{PD} である。

ランプ波は行制御回路内の DAC と LUT (LookUp Table) で生成する。LUT には式(4.11) の計算結果をあらかじめ格納する。

4.3.5 シミュレーションによる評価

Cadence Spectre と 0.18- μm CMOS プロセスライブラリを用いて、提案回路のシミュレーションを行った。PD は電流源 (I_{PD}) と容量 (C_{PD}) に置き換え、ランプ波生成器として折れ線電圧源 (VPWL: PieceWise Linear Voltage source model) を使用した。カラム ADC は高速なシングルスロープ ADC[27]を想定しており、ビヘイビアモデルとしている。シミュレーションに用いた回路パラメータを表 4.2 に、非線形ランプ波を図 4.17 に示す。なお、 $K_{ramp} = 2 \times 10^{-5}$ 、 $V_{ramp_min} = 0.8 \text{ V}$ とした。

I_{PD} に対する V_{TS} 読み出しで得られた出力コードの特性を図 4.18 に示す。図 4.18 (a) (b) は露光時間を変化させた場合、(c) (d) は M_{TX1} の閾値を変化させた場合のシミュレーション結果である。最大出力コードが 2200 LSB 付近となっているのは、列信号線の電圧 V_{col} が最大 1.1 V に制限されているためである。これは、ソースフォロアアンプ、行選択トランジスタ、負荷トランジスタにより制限されている。図 4.18 (a) より特性は $I_{PD} = 2.8 \text{ nA}$ まで概ね線形であることがわかる。図 4.18 (b) より $I_{PD} < 40 \text{ pA}$ の領域では、PD が飽和するか否かの境界で線形性が失われている。なお、露光時間 1 ms の場合、式 (4.6) からわかる

表 4.2 回路パラメータ

パラメータ	記号	値
電源電圧	V_{DD}	2.7 V
PD リセット電圧	V_{PD_rst}	1.3 V
PD 容量	C_{PD}	20 fF
FD 容量	C_{FD}	7 fF
飽和検出用容量	C_{TS}	13 fF
トランジスタゲート長	-	0.18 μm
トランジスタゲート幅	-	1 μm
(ソースフォロアアンプ、行選択、インバータ内 PMOS)		
(その他)		
ADC 分解能	-	12-bit
ADC カウンタクロック周波数	-	2 GHz
ADC 用ランプ波振幅	-	2 V
ADC 用ランプ波スルーレート	-	1 mV/ns

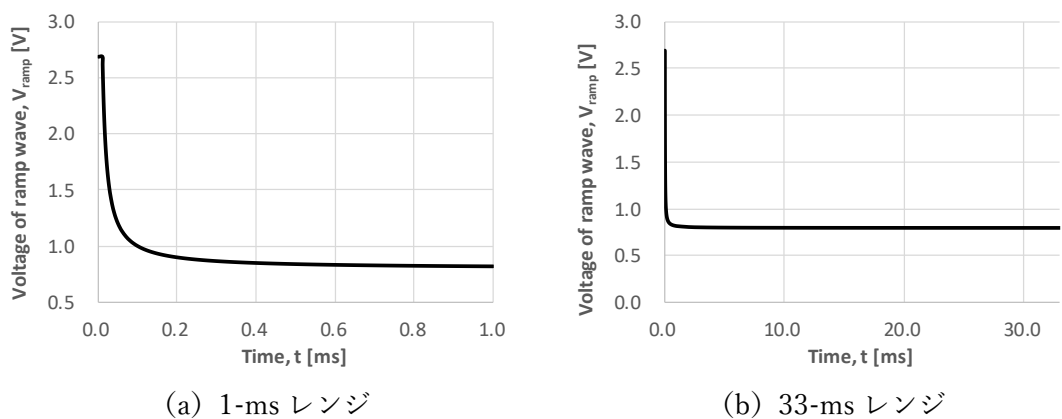


図 4.17 非線形ランプ波の波形

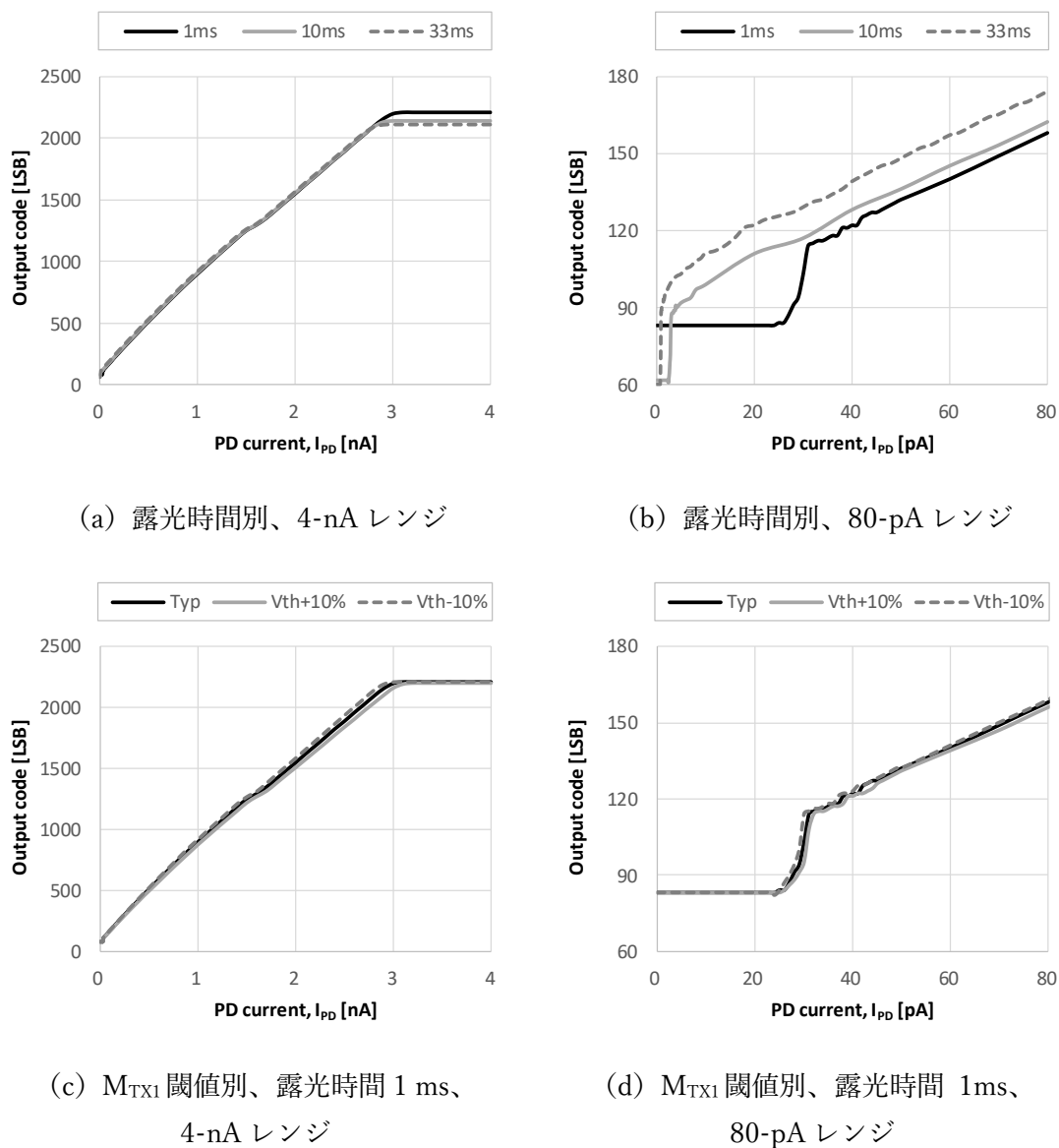
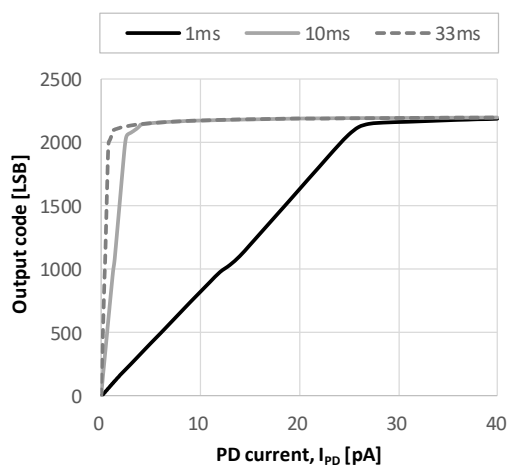


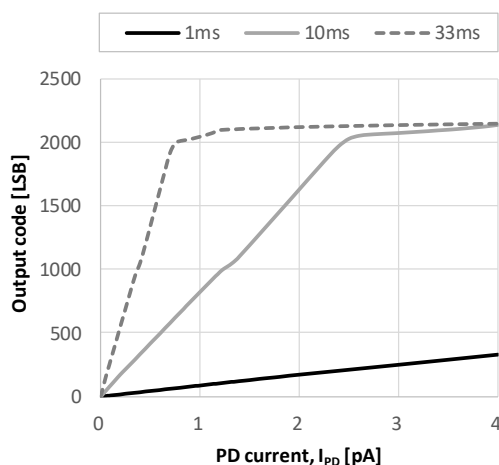
図 4.18 $I_{PD} - V_{TS}$ 由来出力コード特性

通り PD が飽和する最小の I_{PD} (I_{PD_satmin}) は他の露光時間よりも大きい。図 4.18 (c) より M_{TX1} の閾値ばらつきがあると、 I_{PD} が大きい領域 (2~3 nA) では出力コードがばらつくことがわかる。これは、 M_{TX1} の閾値が下がるとサブスレッショルド電流が増え、 T_{sat_os} が小さくなるためである。これにより、 M_{TS} が早くオフ状態になり、 V_{TS} が高くなる。さらに、露光開始直後ではランプ波の傾きが特に大きいため、 I_{PD} が大きいほど出力コードのばらつきは大きくなる。出力コードのばらつきは最大で出力フルスケール (2206 LSB) の 2% であった。このばらつきにより画像に固定パターンノイズが生じるが、CDS やキャリブレーションでは除去できない。

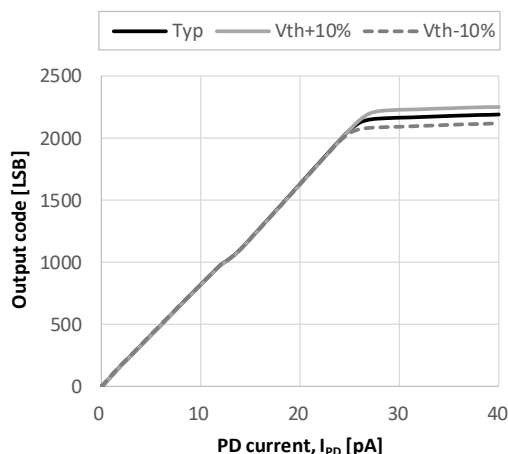
I_{PD} に対する V_{PD} 読み出しで得られた出力コードの特性を図 4.19 に示す。図 4.18 と同様



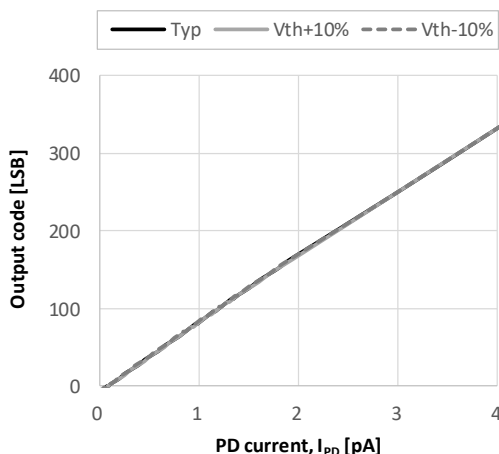
(a) 露光時間別、40-pA レンジ



(b) 露光時間別、4-pA レンジ



(c) M_{TX1} 閾値別、露光時間 1 ms、
40-pA レンジ



(d) M_{TX1} 閾値別、露光時間 1 ms、
4-pA レンジ

図 4.19 I_{PD} - V_{PD} 由来出力コード特性

に、図 4.19 (a) (b) は露光時間を変化させた場合、(c) (d) は M_{TX1} の閾値を変化させた場合のシミュレーション結果である。図 4.19 (a) (b) より特性は、露光時間 1 ms の場合は $I_{PD} = 25 \text{ pA}$ まで、10 ms の場合は 2.5 pA まで、33 ms の場合は 0.8 pA まで概ね線形であることがわかる。それより大きい I_{PD} の領域では、PD 飽和により特性が平坦になっているが、 V_{TS} 読み出しで得られた出力コードで補完できる。ただし、この特性が平坦な領域も緩やかな傾きを持っている。これは V_{PD} が GND レベル付近に到達後、 M_{TX1} にサブスレッショルド電流が流れるが、 I_{PD} の大きさにより露光終了時の V_{PD} が変動するためである。従って、 I_{PD} が小さいときは読み出し時点の V_{PD} が高くなり、出力コードは小さくなる。図 4.19 (c) より M_{TX1} の閾値ばらつきがあると、 $I_{PD} > 25 \text{ pA}$ の領域では出力コードがばらついているが、転送スランジスタの閾値が低くなると、サブスレッショルド電流が流れ初める V_{PD} が高くなるためである。出力コードのばらつきは最大で出力フルスケール (2125 LSB) の 3% であった。このばらつきにより画像に固定パターンノイズが生じるが、ブライトフレームの減算により除去できる。ブライトフレームは、一様に明るい面光源や白い壁を撮影することにより生成する。

シミュレーション結果から得られるダイナミックレンジの一覧を表 4.3 に示す。拡張ダイナミックレンジは PD 飽和時間検出と V_{TS} 読み出しにより得られるダイナミックレンジである。図 4.18 の特性が線形となっている I_{PD} の範囲から計算した。基本ダイナミックレンジは露光後の V_{PD} 読み出しにより得られるダイナミックレンジである。これは PD 飽和時間検出を行わない一般的なイメージセンサのダイナミックレンジに相当する。図 4.19 の特性が線形となっている I_{PD} の範囲から計算した。合計ダイナミックレンジは拡張と基本の和であり、 V_{TS} および V_{PD} 読み出しから得られる出力コードを信号処理により合成したときに得られるダイナミックレンジの期待値である。PD 飽和時間検出により 100 dB を超える広いダイナミックレンジを得られることが期待できる。なお、露光時間 1 ms の場合、拡張ダイナミックレンジは他の露光時間よりも小さくなっている。これは露光時間が短いほど PD が飽和する最小の I_{PD} (I_{PD_satmin}) が大きくなるためである。

最後に提案回路の画素レイアウトを図 4.20 に示す。回路パラメータは表 4.2 に示した通りである。画素サイズは $16 \times 16 \text{ }\mu\text{m}$ 、開口率は 55% である。PD 飽和時間検出を採用した先行研究との開口率の比較を表 4.4 に示す。プロセスは異なるが、提案回路は PD 飽和時間検出を行うイメージセンサとしては比較的高い開口率を実現している。従って、提案回路では先行研究と比較して感度の改善も期待できる。

表 4.3 ダイナミックレンジ一覧

露光時間	1 ms	10 ms	33 ms
拡張 (V_{TS} 読み出し)	40 dB	60 dB	70 dB
基本 (V_{PD} 読み出し)	62 dB	62 dB	58 dB
合計	102 dB	122 dB	127 dB

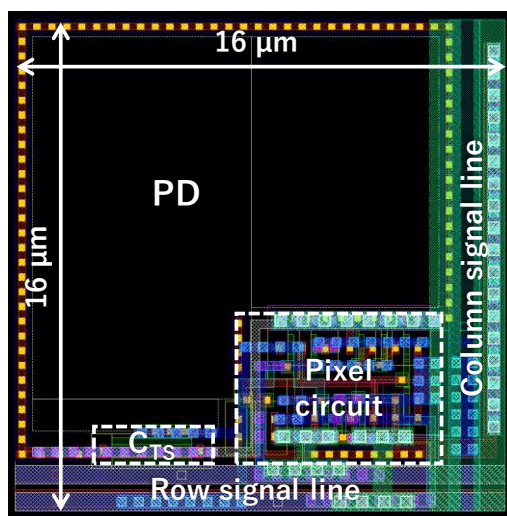


図 4.20 画素のレイアウト

表 4.4 開口率の比較

文献	[26]	[28]	[29]	[30]	本研究
プロセス [μm]	0.25	0.18	0.35	2	0.18
画素サイズ [μm]	30×30	25×25	17×17	76×90	16×16
開口率 [%]	10	10	33	13	55

4.4 まとめ

イメージセンサは、カメラ内において被写体から受けた光を電気信号へ変換するデバイスである。解像度やフレームレート、ダイナミックレンジなどの性能向上が求められているが、それらの性能指標はトレードオフの関係にある。高解像度と広ダイナミックレンジを両立するため、複数回露光により広いダイナミックレンジの画像を得る HDR 合成が広く用いられているが、画像にブレが生じたり、フレームレートが低下してしまう課題がある。本研究では、TDC を用いて PD 飽和時間を検出することにより、複数回露光を行わずにダイナミックレンジを拡大する手法に着目し、これを画素内容量とカラム ADC で実現する回路を提案した。画素内に TDC を組み込まず、PD 飽和時間を電圧として画素内容量で保持し、露光後に信号読み出しとカラム ADC による量子化を行う構成とした。提案回路は、シミュレーションにより 100 dB を超える広いダイナミックレンジの実現が期待できることを確認した。また、画素のレイアウトを行い、PD 飽和時間検出を採用する先行研究と比較して高い開口率を実現できることを確認した。これにより先行研究と比較して提案回路では感度の改善も期待できる。以上のことから、イメージセンサのダイナミックレンジ拡大に対し、時間量子化技術が有効である見通しが得られた。

第5章 ADCへの応用

5.1 まえがき

ADC (Analog-to-Digital Converter) は電圧をデジタル値に変換する回路で、計測、制御、映像、通信など多岐にわたる分野で使用されている。加速度センサやマイクなど各種センサの出力信号をADCでデジタル値へ変換することにより、プロセッサでの処理やメモリへの記録、通信経路での伝送が可能となる。また、装置の電源電圧監視[1]や通信の受信回路[2]にも使用されている。用途の拡大に伴って、ADCには高サンプリングレート、高分解能、低消費電力、小面積など性能向上が求められている。しかし、プロセス微細化により電源電圧の切り下げ、素子ばらつき増大、ドレイン抵抗の減少などが顕著になり、アナログ回路の性能向上が難しくなっている。これに対し、アナログ回路の性能劣化をデジタル回路により補正するデジタルアシストアナログ技術の研究開発が進んでいる[3]。一方、TDCはプロセス微細化により分解能を向上でき、電源電圧の切り下げによるSN比の劣化も少ない。このことからADC内にTDCを組み込むことにより、性能向上を実現した回路も報告されている[4]~[6]。また、光の測定や無線通信などADC入力信号の振幅が大きく変動する用途では、ADCのダイナミックレンジを補うため対数アンプにより信号を圧縮することがある。しかし、従来の対数アンプはCMOSプロセスで製造できず、比較的高い電源電圧を必要とする課題があった。そこで本研究ではラッチドコンパレータの過渡応答とTDCを用いて、時間軸上で対数圧縮とアナログ-デジタル変換を行う対数圧縮ADCを提案する。

本章では、ADCの概要を述べた後、ラッチドコンパレータの過渡応答とTDCを用いた対数圧縮ADCを提案し、その構成と動作原理、テストチップの評価結果について述べる。

5.2 ADCの概要

ADCはアナログ量である電圧を量子化し、デジタル値へ変換する回路である。各種センサの出力信号をデジタル値へ変換することにより、DSP (Digital Signal Processor) やマイコン (MCU: Microcontroller Unit) での情報処理、HDD やFlashメモリへの記録、通信経路での遠隔地への情報伝送が可能となる。また、装置やLSI内部の電源電圧の監視[1]やパルス振幅変調 (PAM: Pulse-Amplitude Modulation) を用いた通信の受信回路[2]にも使用されている。ADCの主な性能指標を表5.1に示す。ADCの構成方式により性能に特徴があり、用途に応じて使い分けられている。代表的な構成方式とその特徴を表5.2に示す。ADCを選択する際、まず必要な分解能とサンプリングレートを決めるが、これらはトレードオフの関係にある。例えば、サンプリングレートを優先する場合はフラッシュ型を、分解能を優先する場合は $\Delta\Sigma$ 型を使う。SARは低消費電力、小面積であることから、マイコンへ搭載されることが多い[10]~[12]。シングルスロープ型は面積を非常に小さくできることからイメージセンサのカラムADCとして使用されている[13]。

ADCはアンプやコンパレータなどのアナログ回路で構成されているため、プロセスの微

表 5.1 ADC の性能指標

項目	単位	説明
分解能	bit	量子化の細かさで、出力ビット数で表す
最小分解能	V/LSB	出力デジタル値 1 LSB あたりの電圧
ダイナミックレンジ	dB	入力電圧の最小値に対する最大値の倍率
線形性 (INL、DNL)	LSB	入出力特性がどれだけ直線に近いを表す
有効ビット数 (ENOB)	bit	線形性を加味したビット数
サンプリングレート	S/s	変換動作の速度で、サンプリング周波数と同義
SN 比	dB	信号電力とノイズ電力の比
消費電力	W	動作中に消費される電力
回路面積	m ²	チップ内で回路が占める面積
FoM	J/conversion-step	複数の性能指標から計算された性能値

表 5.2 ADC の代表的な構成方式と特徴 (文献[7]~[9]をもとに作成)

構成方式	分解能 [bit]	サンプリングレート [S/s]	特徴	用途例
フラッシュ型	8	250M~1G	超高速、面積大	通信、高速計測
パイプライン型	8~16	1M~100M	高速、低消費電力	通信、映像
SAR 型	8~16	76k~5M	低消費電力、小面積	制御、環境測定
$\Delta\Sigma$ 型	16~24	200k~1M	高分解能、低消費電力、小面積	音響、計測
シングルスロープ型	8~10	8k~32k	低消費電力、小面積	映像、計測

細化に伴う電源電圧の切り下げ、素子ばらつきが増大、ドレイン抵抗の減少により性能向上が難しくなっている。一方、デジタル回路はプロセスの微細化により動作速度の向上や面積の縮小を実現できる。TDC はバッファや DFF などのデジタル回路で構成されているため、プロセスの微細化により分解能向上と面積縮小を実現できる。また、時間軸上で信号処理を行うので、電源電圧が低下しても SN 比の劣化を抑えられる。このことから、TDC を ADC へ組み込むことにより性能向上を図る回路が報告されている [4]~[6]。

5.3 ラッチドコンパレータの過渡応答を用いた対数圧縮 ADC

5.3.1 対数圧縮 ADC の概要

写真撮影や光ファイバ通信、レーダー、無線通信では信号のダイナミックレンジが広く、ADC のダイナミックレンジに収まらないことがある。無線通信を例に挙げると、受信電界強度の範囲が 0 ~ -120 dBm の場合、信号のダイナミックレンジは 120 dB となるが、10-

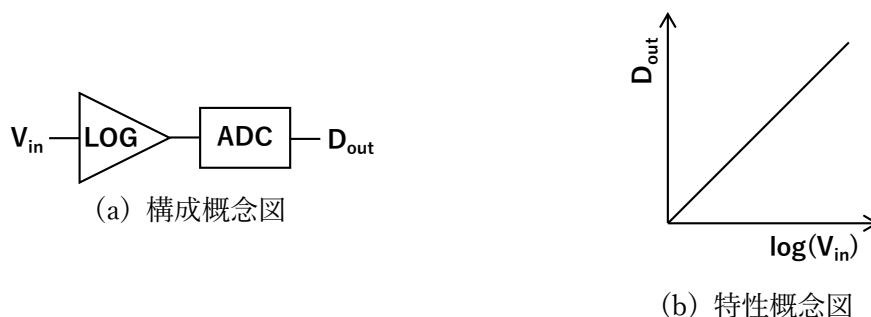


図 5.1 対数圧縮 ADC の概念

bit ADC のダイナミックレンジは最大で 62 dB である。このようなアプリケーションでは、図 5.1 のように ADC の前段で対数アンプにより信号の圧縮が行われることが多い[14]。

一般的な対数アンプは、ダイオードやバイポーラトランジスタの指数電流特性を利用して対数特性を得ているが、それらの電流を電圧に変換するためにトランスインピーダンスアンプを用いるものが多く、3 V 程度の電源電圧を必要とする[15]～[17]。よって対数アンプを用いた構成は微細プロセスの適用と低消費電力化には不利である。対数アンプを用いない対数圧縮 ADC として、対数重み付けをしたフラッシュ ADC[18]、対数カウンタを用いたシングルスロープ ADC[19]、可変閾値コンパレータを用いたパイプライン ADC[20] が報告されている。これらは電圧軸上で対数圧縮とアナログ-デジタル変換を行う構成であるが、本研究では時間軸上で対数圧縮と変換を行う構成を検討した。

5.3.2 回路構成と動作原理

本研究で提案するラッチドコンパレータの過渡応答を用いた対数圧縮 ADC[21]のブロック図を図 5.2 に示す。提案 ADC はラッチドコンパレータ、コンパレータ回路、TDC、制御回路 (Control logic) で構成されている。ラッチドコンパレータを図 5.3 に、コンパレータ回路を図 5.4 に示す。ラッチドコンパレータはクロスカップル接続のインバータ $inv_{1\sim 2}$ と

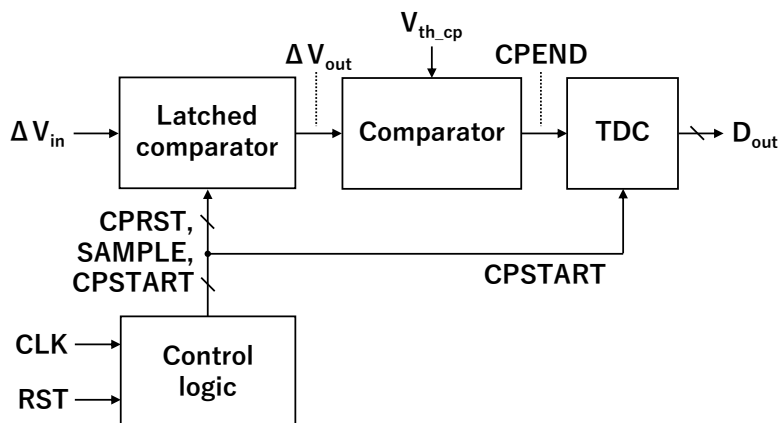


図 5.2 ラッチドコンパレータの過渡応答を用いた対数圧縮 ADC

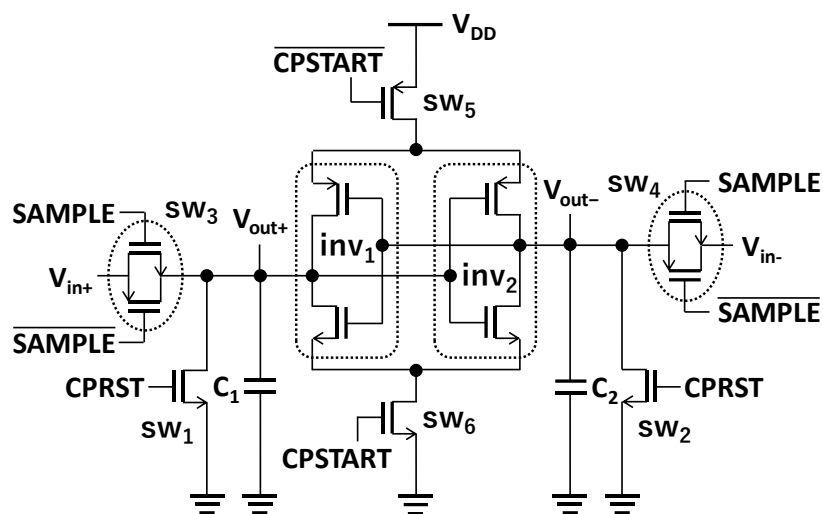


図 5.3 ラッチドコンパレータ

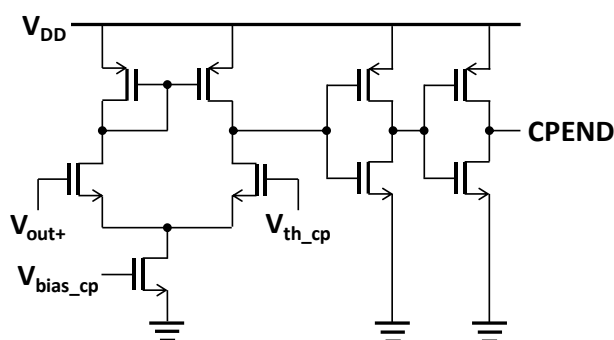


図 5.4 コンパレータ回路[21]

スイッチ $sw_{1\sim6}$ で構成されており、制御信号 CPRST、SAMPLE、CPSTART は制御回路で生成する。

ラッチドコンパレータの動作を図 5.5 のタイミングチャートを用いて説明する。下記の流れで比較動作を行う。

(1) 出力ノードのリセット

CPRST が立ち上がると $sw_{1\sim2}$ がオン状態になり、出力ノードの電圧 V_{out+} と V_{out-} は GND レベルへリセットされる。CPRST が立ち下がると $sw_{1\sim2}$ はオフ状態になる。

(2) 入力電圧のサンプリング

SAMPLE が立ち上がると $sw_{3\sim4}$ がオン状態になり、出力ノードの寄生容量 C_1 と C_2 はそれぞれ V_{in+} と V_{in-} に充電される。充電後、出力電圧 V_{out+} 、 V_{out-} は入力電圧 V_{in+} 、 V_{in-} に等しくなる。SAMPLE が立ち下がると $sw_{3\sim4}$ はオフ状態になる。

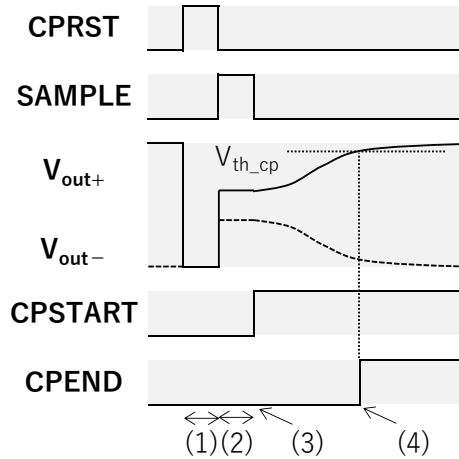


図 5.5 ラッチドコンパレータのタイミングチャート

(3) 比較動作の開始

CPSTART が立ち上がると $sw_{5\sim6}$ がオン状態になり、 $inv_{1\sim2}$ に正帰還が働き、 V_{out+} と V_{out-} の差が大きくなっていく。

(4) 比較動作の完了

V_{out+} が V_{DD} 、 V_{out-} が GND レベルに到達すると比較動作は完了となる。後段のコンパレータ回路において、 V_{out+} と V_{th_cp} が比較され、 V_{out+} が V_{th_cp} を上回ると CPEND が立ち上がる。

ここで、ラッチドコンパレータのセットリング時間（比較動作の開始から完了までの時間）について考える。 $\Delta V_{out}(t)$ を V_{out+} と V_{out-} の差 ($V_{out+} - V_{out-}$) の時間関数、 ΔV_{in} を V_{in+} と V_{in-} の差 ($V_{in+} - V_{in-}$)、 g_m をインバータを構成する PMOS と NMOS のトランスコンダクタンスの和、 C を C_1 と C_2 の容量とすると、 $\Delta V_{out}(t)$ は次式で表される[22]。

$$\Delta V_{out}(t) = e^{\frac{g_m t}{C}} \Delta V_{in} \tag{5.1}$$

式 (5.1) より $\Delta V_{out}(t)$ が V_{DD} に到達する時間 t_{set} は次式で表される。

$$t_{set} = \frac{C}{g_m} \log_e \left(\frac{V_{DD}}{\Delta V_{in}} \right) \tag{5.2}$$

よって、ラッチドコンパレータのセットリング時間は入力電圧の対数に比例（比例定数は負）することがわかる。コンパレータ回路の閾値電圧 V_{th_cp} を V_{DD} に近い値に設定することにより、CPSTART と CPEND の立ち上がり時間差 t_{cp} がラッチドコンパレータのセットリング時間に近い値となる。この t_{cp} を TDC で量子化してデジタル値を出力する。

提案 ADC の動作概念図を図 5.6 に示す。図 5.6 では入力電圧 ΔV_{in} が小さい場合を左側に、大きい場合を右側に分けて示している。 ΔV_{in} が小さいときは CPEND の立ち上がりが遅くなるため、 t_{cp} と出力コードは大きくなる。 ΔV_{in} が大きいときは CPEND の立ち上がりが

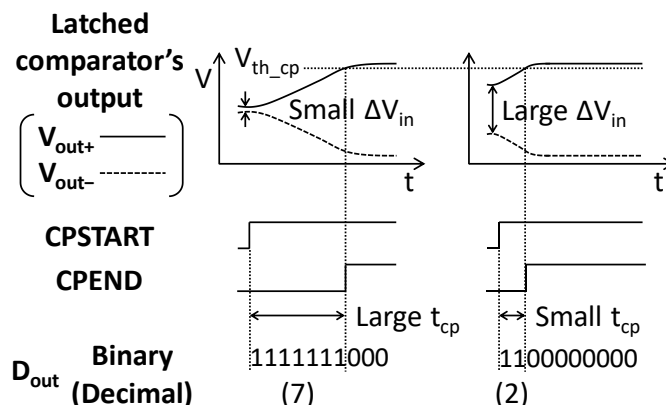


図 5.6 提案 ADC の動作概念

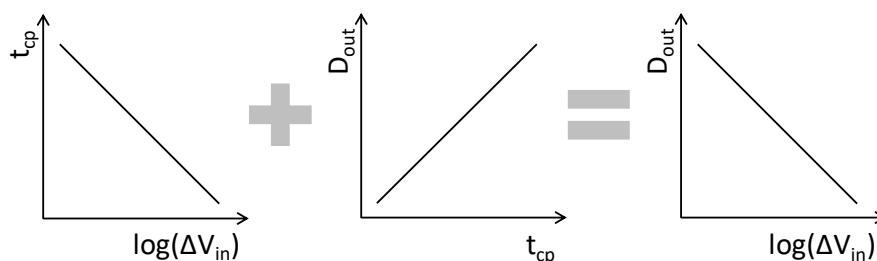


図 5.7 提案 ADC の特性概念

りが早くなるため、 t_{cp} と出力コードは小さくなる。提案 ADC の特性概念図を図 5.7 に示す。提案 ADC では入力電圧 ΔV_{in} が比較時間 t_{cp} へ対数変換された後、 t_{cp} はデジタル値へ変換される。よって、回路全体では入力電圧の対数に比例したデジタル値が得られる。対数圧縮とアナログ-デジタル変換を時間軸上で行うため低電源電圧化に適した構成である。

チップ製造時のプロセスばらつきによりラッチドコンパレータのセットリング時間や TDC のダイナミックレンジ (t_{DR}) が変動した場合は、 t_{cp} の最大値が TDC のダイナミックレンジに収まるように校正する必要がある。提案 ADC では、コンパレータ回路の閾値電圧 V_{th_cp} を変更することにより、CPEND の立ち上がり時刻すなわち t_{cp} を調整できる。具体的には図 5.8 のフローチャートに従い、最小の ΔV_{in} を入力した際、出力コード D_{out} が上限値よりも小さい場合は $t_{cp} < t_{DR}$ となっているので、 V_{th_cp} を大きくすることにより t_{cp} を大きくする。 D_{out} が上限値となる場合は $t_{cp} \cong t_{DR}$ となっているので、 V_{th_cp} を小さくすることにより t_{cp} を小さくする。このような操作を繰り返すことにより $t_{cp} = t_{DR}$ となるよう V_{th_cp} を定める。

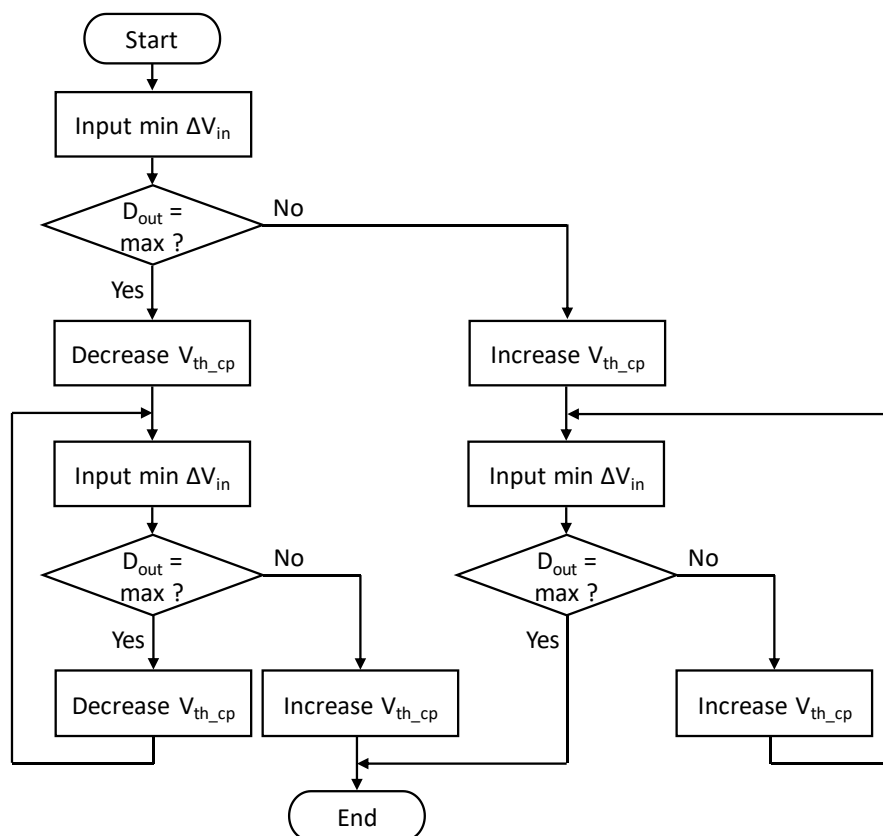
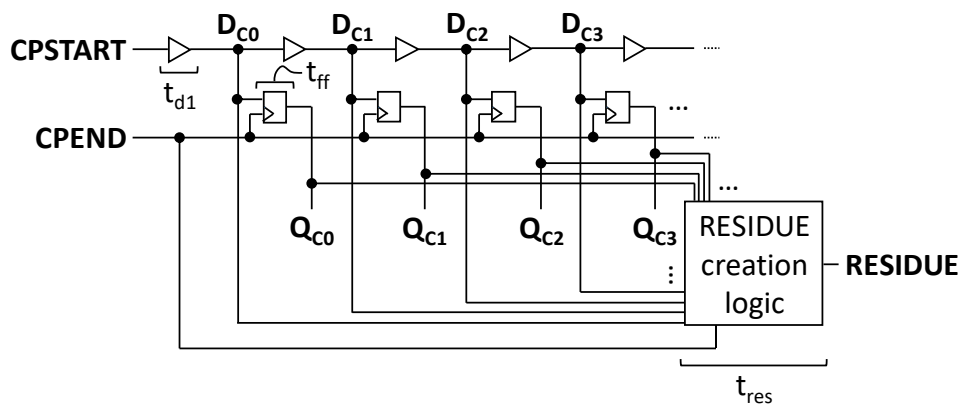


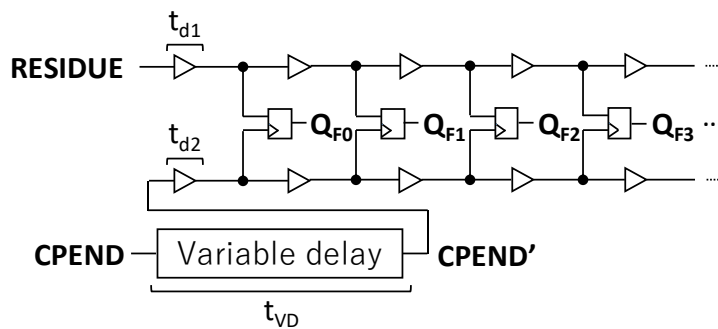
図 5.8 V_{th_cp} 校正フローチャート

5.3.3 対数圧縮 ADC に用いる TDC の構成

提案 ADC で使用する TDC として、高分解能と高サンプリングレートをなるべく小面積で実現するためサブレンジング型 TDC を採用した。2.4.3 項で述べたサブレンジング型 TDC[23]は時間アンプを用いた構成だが、提案 ADC では小面積化と低消費電力化のため時間アンプを用いない構成とした。提案 ADC に用いるサブレンジング型 TDC の回路を図 5.9、量子化概念図を図 5.10 に示す。Coarse TDC としてフラッシュ型 TDC を用いて粗い量子化を行い、Fine TDC としてバーニア型 TDC を用いて細かい量子化を行う。Coarse TDC の分解能はバッファの伝搬遅延時間 t_{d1} 、Fine TDC の分解能はバッファの伝搬遅延時間の差 Δt_d ($t_{d1} - t_{d2}$) である。CPSTART と CPEND の立ち上がり時間差 t_{cp} は Coarse TDC において t_{d1} を基準に量子化される。Coarse TDC で生じた量子化誤差 t_{ec} を Fine TDC が Δt_d を基準に量子化する。Fine TDC でも量子化誤差 t_{ef} が生じるが、その大きさは Δt_d 未満であるので、 t_{ec} よりも量子化誤差を小さくできる。Coarse TDC 内の RESIDUE 生成回路では DFF 出力 $Q_{C0 \sim n}$ に応じて $D_{C0 \sim n}$ のいずれかを選択して RESIDUE として出力する。RESIDUE の立ち上がりは DFF の遅延時間 t_{FF} と RESIDUE 生成回路の遅延時間 t_{res} により遅延するため、Fine TDC へ入力する CPEND を可変遅延回路により t_{VD} 遅延させる。なお、 $t_{VD} = t_{FF} + t_{res}$ となるよう t_{VD} を調整する。



(a) Coarse TDC



(b) Fine TDC

図 5.9 提案 ADC に用いるサブレンジング型 TDC

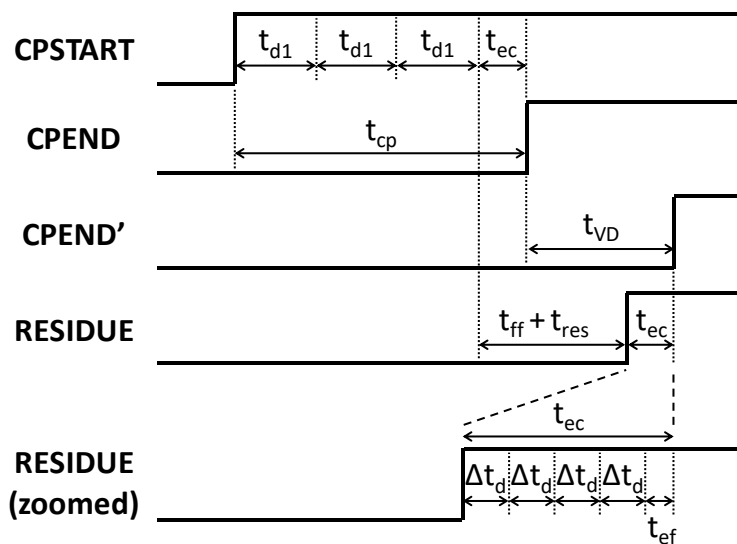
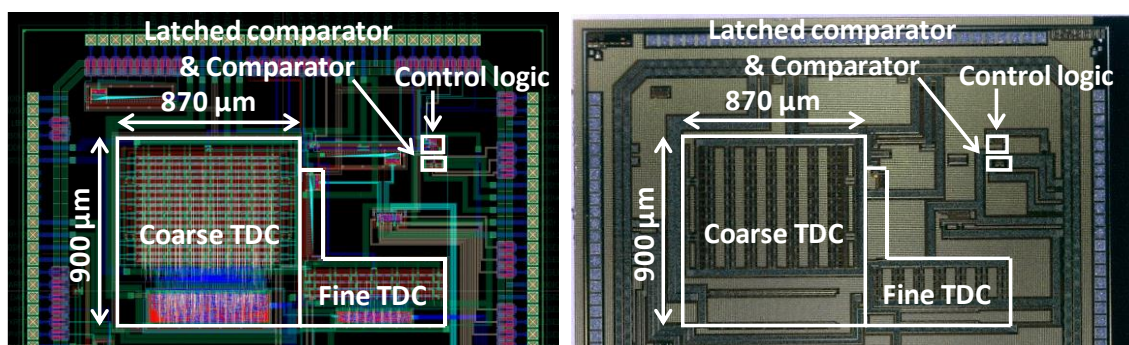


図 5.10 サブレンジング型 TDC の量子化概念

5.3.4 テストチップの評価

提案 ADC の動作と性能を確認するため 0.18- μm CMOS プロセスでテストチップの試作を行った。図 5.11 にテストチップのマスキレイアウトと顕微鏡写真を示す。提案 ADC のマクロ面積は 1.09 mm^2 であり、TDC が 98% を占めている。なお、TDC はサブレンジング型 12-bit (Coarse TDC はフラッシュ型 8-bit、Fine TDC はバーニア型 4-bit) を実装したが、後述する t_{cp} のばらつきにより下位 4-bit で有意な出力コードが得られなかったため、Coarse TDC (フラッシュ型 8-bit) のみを評価に使用した。

評価環境を図 5.12 に示す。テストチップはセラミック QFP160 パッケージに封入されたものを評価用プリント基板に実装した。評価基板には、電源とコンパレータ閾値電圧を供給する直流安定化電源、ラッチドコンパレータへの入力信号および制御回路へのクロックとリセット信号を供給するファンクションジェネレータ、出力信号を観測するオシロスコープを接続した。また、マイクロコントローラから可変遅延回路へ遅延設定信号を供給する。直流安定化電源以外の機材は PC と接続し、プログラムにより測定を行った。なお、電源電圧 V_{DD} は 1.7 V、コンパレータ閾値電圧 $V_{\text{th_cp}}$ は 1.45 V、同相入力電圧は 0.85 V で評価を行った。



(a) レイアウト (b) チップ写真

図 5.11 テストチップのレイアウトと顕微鏡写真

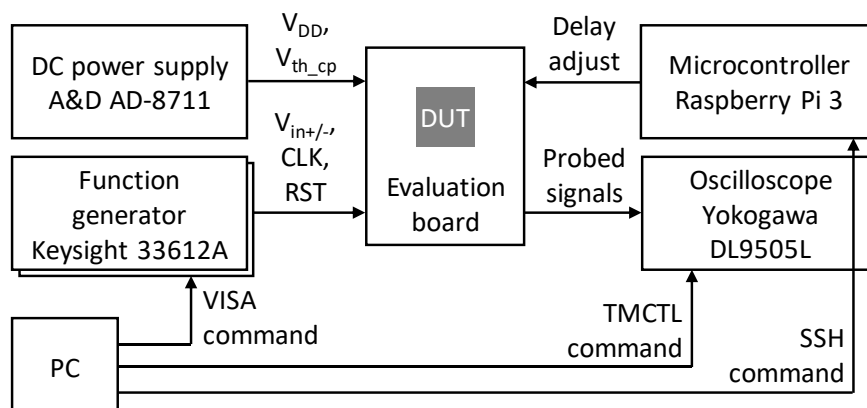


図 5.12 評価環境

ラッチドコンパレータ、TDC、ADC 全体の順で評価結果について述べる。

(1) ラッチドコンパレータ

ラッチドコンパレータ単体で測定した入力電圧 ΔV_{in} に対する比較時間 t_{cp} の特性を図 5.13 に示す。 ΔV_{in} が小さい場合、 ΔV_{in} から t_{cp} への変換利得が大きくなり、回路ノイズによる t_{cp} のばらつきが大きくなる。そのため、100 回測定の平均値をプロットし、ばらつきの範囲をエラーバーで示した。おおむね ΔV_{in} の対数に比例した t_{cp} が得られたが、 $\Delta V_{in} < 5$ mV の領域では t_{cp} のばらつきが大きくなっている。

(2) TDC

Coarse TDC (フラッシュ型 8-bit) 単体で測定した入出力特性を図 5.14 に示す。入力遅延時間に比例した出力コードが得られ、ダイナミックレンジは 38.3 ns であった。DNL と INL を図 5.15 に示す。なお、分解能は 146 ps/LSB としている。DNL は ± 1 LSB 以内に収まっており、ミッシングコードは無く、単調性を確保できている。また、INL の最悪値は 2.9 LSB で、ENOB は 6.0-bit であった。

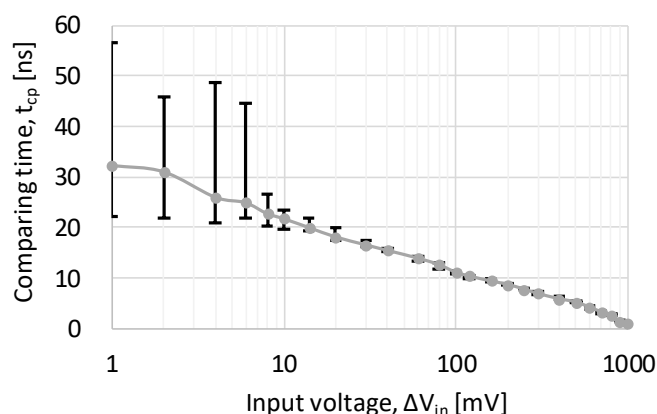


図 5.13 ラッチドコンパレータの入力電圧-比較時間特性[21]

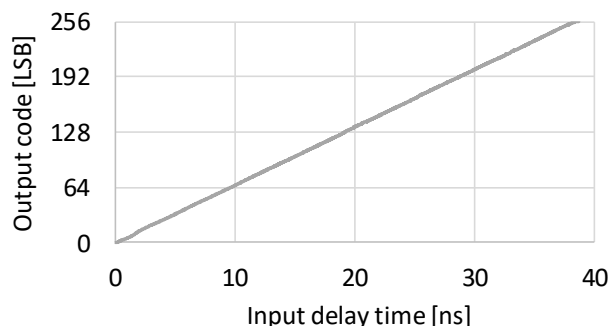


図 5.14 TDC の入出力特性[21]

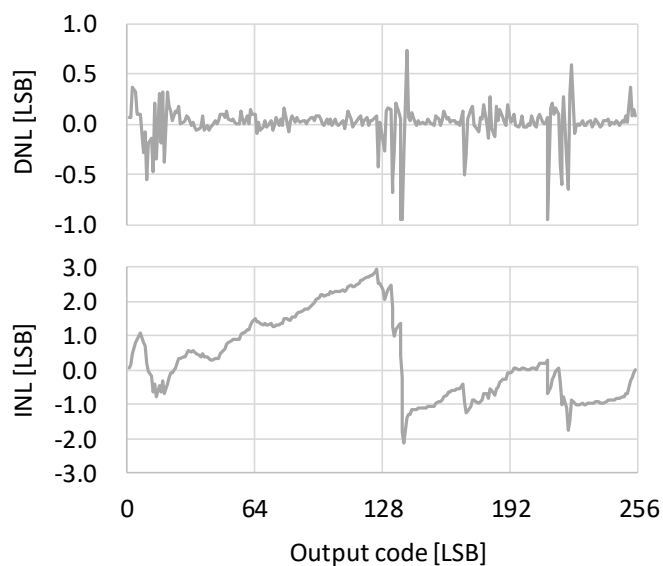


図 5.15 TDC の線形性[21]

(3) ADC 全体

ADC 全体の入出力特性を図 5.16 に示す。図 5.13 と同様にばらつきをエラーバーで示した。微小電圧を入力した場合、ラッチドコンパレータの ΔV_{in} から t_{cp} への変換利得が高いため、回路ノイズにより t_{cp} が大きく変動し、出力コードに大きなばらつきが生じる。対数アンプとリニア ADC を組み合わせた従来の対数圧縮 ADC においても、微小電圧を入力した場合、対数アンプの利得が高いため回路ノイズにより出力コードのばらつきは大きくなる。また、対数変換特性により入力電圧によって出力コード 1 LSB に対応する電圧は異なる。 $\Delta V_{in} < 10 \text{ mV}$ の領域ではノイズの影響が大きく、 ΔV_{in} が 1 mV の場合、出力コードのばらつきは 100 LSB 程度となっている。出力コードばらつきより計算した入力換算ノイズを図 5.17 に示す。縦軸は 1 V を基準 (0 dB) として表記している。破線は理想の対数特性から求められる量子化ノイズである。 $\Delta V_{in} > 10 \text{ mV}$ の場合、分解能が粗くなるため量子化ノイ

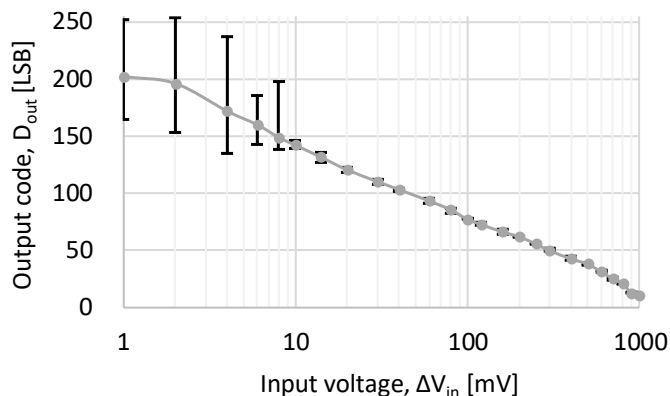


図 5.16 ADC の入出力特性[21]

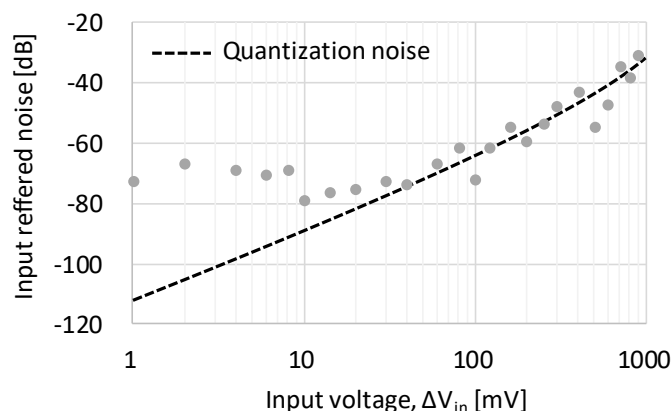


図 5.17 ADC の入力換算ノイズ[21]

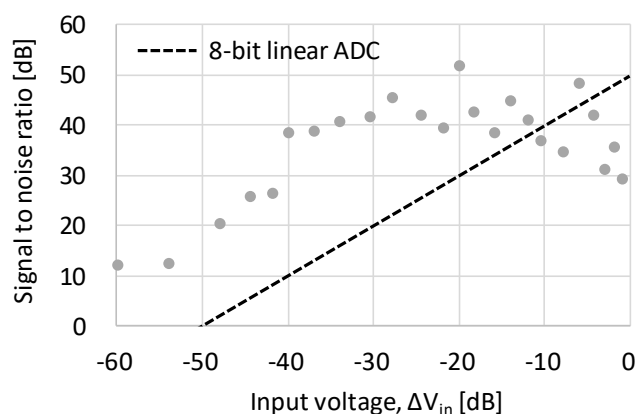


図 5.18 ADC の SN 比[21]

ズが支配的である。一方、 $\Delta V_{in} < 10 \text{ mV}$ の場合、回路ノイズが支配的である。また、 $\Delta V_{in} < 10 \text{ mV}$ の領域ではノイズが -70 dB 程度であることから、回路ノイズは 0.3 mV 程度であることがわかる。図 5.17 より計算した SN 比の入力電圧依存性を図 5.18 に示す。横軸は 1 V を基準 (0 dB) として表記している。破線は 8-bit のリニア ADC の理論 SN 比である。 $\Delta V_{in} < -10 \text{ dB}$ ($\Delta V_{in} < 316 \text{ mV}$) の領域では、8-bit リニア ADC の理論 SN 比を上回っている。また、 $\Delta V_{in} < -30 \text{ dB}$ ($\Delta V_{in} < 32 \text{ mV}$) の領域では 70 dB のダイナミックレンジが得られており、ENOB 6-bit の TDC で 12-bit 相当のダイナミックレンジが得られている。このことから、対数圧縮によりダイナミックレンジを拡大できることを確認した。

他文献で提案されている対数圧縮 ADC との性能比較を表 5.3 に示す。提案 ADC は、他文献の対数圧縮 ADC と比較して消費電力は大きいですが、ENOB に対して広いダイナミックレンジを確保できている。消費電力は、アナログ部（ラッチドコンパレータとコンパレータ回路）は 1.7 mW 、デジタル部（TDC と制御回路）は 8.5 mW であった。

表 5.3 対数圧縮 ADC の性能比較表

文献	[18]	[19]	[20]	本研究
プロセス [nm]	65	130	180	180
ENOB [bit]	4.1	9.3	7.2	6.0
サンプリングレート [MS/s]	10	0.05	22	10
ダイナミックレンジ [dB]	不明	80	80	70
消費電力 [mW]	0.1	不明	2.5	10.2
電源電圧 [V]	1.2	2.8	1.6	1.7

5.4 まとめ

ADCは電圧をデジタル値に変換する回路で、計測、制御、映像、通信など多岐にわたる分野で使用されており、日常生活と産業活動に欠かせない回路である。光の測定や無線通信等の用途では、ADCのダイナミックレンジを補うため対数アンプにより信号を圧縮することがあるが、従来の対数アンプはCMOSプロセスで製造できず、比較的高い電源電圧を必要とする課題があった。本研究ではラッチドコンパレータの過渡応答とTDCを用いることにより低い電源電圧に対応できる対数圧縮ADCを提案した。提案回路では、ラッチドコンパレータのセットリング時間が入力電圧の対数に比例することを利用して対数圧縮を行う。セットリング時間をTDCにより量子化する。提案回路の性能を評価するため0.18- μm CMOSプロセスでテストチップの試作を行った。評価の結果、入力電圧の対数に比例した出力コードが得られることを確認した。また、一定以下の入力電圧においてENOB 6-bitのTDCで12-bit相当のダイナミックレンジが得られた。このことから、時間軸上で対数圧縮とアナログ-デジタル変換を行うことが可能であること、対数圧縮によりダイナミックレンジが拡大できることを確認できた。以上のことから、対数圧縮によるADCのダイナミックレンジ拡大に対し、時間量子化技術が有効であることを確認した。

第6章 PLLへの応用

6.1 まえがき

PLL (Phase-Locked Loop) は、プロセッサやメモリへ供給するクロックの生成、通信における搬送波の生成に使用されており、情報処理と通信には欠かせない回路である。近年のプロセッサは、処理負荷に応じてクロック周波数や電源電圧を制御する省電力化技術[1]を採用しており、PLLには高速なロックと低消費電力化が求められている。また、現在主流の無線通信規格である LTE や Wi-Fi (IEEE 802.11 シリーズ) では OFDM (Orthogonal Frequency-Division Multiplexing) による通信の多重化を実現している。OFDM では周波数帯域が細かく分割され、搬送波周波数の切り替えが高頻度で行われることから、PLLには高速なロックに加えて、出力周波数を細かく調整できることが求められている。このような背景から、低電圧動作と出力周波数の細かい調整に対応できる ADPLL (All-Digital PLL) が提案された[2]。従来のアナログ PLL では、チャージポンプを使用し、電圧で発振器の制御を行うため、電源電圧が低下すると性能劣化が避けられなかった。また、外付け部品のアナログフィルタが必要となることや、製造プロセス変更時に設計修正が多いなどの問題点もあった。ADPLL では TDC により位相差の検出を行い、デジタル値で発振器の制御を行う。これにより電源電圧の切り下げによる性能劣化を避けられる。また、フィルタ等もデジタル回路で構成することにより外付け部品を不要とし、製造プロセス変更時の設計修正も少なく済む。本研究では、回路のさらなる小型化とロックの高速化を実現するためデジタルフィルタを用いない ADPLL の構成を検討し、シミュレーションにより動作を評価した。

本章では、はじめに PLL の概要を述べ、従来の ADPLL について述べる。続いて提案する ADPLL の構成と動作原理、シミュレーションによる性能評価について述べる。

6.2 PLL の概要

6.2.1 PLL の基本構成と動作原理

PLL は入力信号と出力信号の位相を比較し、フィードバックにより 2 つの信号の位相を同期 (ロック) させる回路である。図 6.1 にアナログ PLL の基本構成を示す。回路は位相検出器 (PD: Phase Detector)、チャージポンプ (CP: Charge Pump)、ローパスフィルタ (LPF: Low Pass Filter)、VCO (Voltage Controlled Oscillator; 電圧制御発振器)、分周器 (Frequency Divider) で構成される。ローパスフィルタはループフィルタとも呼ばれる。図 6.2 に位相検出器からフィルタまでの回路図、図 6.3 に分周数 N が 2 の場合のタイミングチャート例を示す。位相検出器において REFCLK と FBCLK の位相が比較され、REFCLK の立ち上がりが先行していれば UP が、FBCLK の立ち上がりが先行していれば DOWN が立ち上がる。UP が立ち上がった場合、チャージポンプを介してフィルタの容量が充電され V_{ctrl} が上昇する。その結果、VCOCLK 周波数 f_{VCO} は上昇し、FBCLK の立ち上がりが早まる (位相が進む)。DOWN が立ち上がった場合、 V_{ctrl} が降下し、 f_{VCO} も降下することで FBCLK

の立ち上がりが遅くなる（位相が遅れる）。このような動作により REFCLK と FBCLK の位相が合うように VCO の制御電圧 V_{ctrl} が調整される。REFCLK と FBCLK の位相が合ったとき、PLL はロック状態となり、次式が成り立つ。

$$f_{ref} = f_{FB} = f_{VCO}/N \tag{6.1}$$

よって次式のように、出力周波数 f_{VCO} は REFCLK 周波数（基準周波数） f_{ref} の N 倍となる。

$$f_{VCO} = f_{ref} N \tag{6.2}$$

REFCLK を水晶発振器で生成すれば、高い出力周波数でも周波数精度を保つことができる。さらに、VCO の温度ドリフトや非線形性もフィードバックの働きで取り除くことができる。また、分周数を変更できるプログラマブル分周器（可変分周器）を用いることで出力周波数の変更が可能になる。なお、PLL 全体としてみると周波数の逡倍動作を行っていることから、分周数のことを逡倍数と呼ぶこともある。

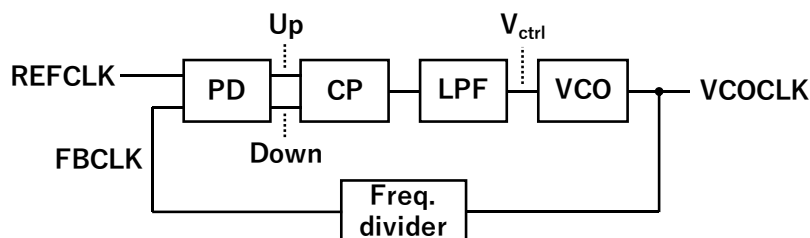


図 6.1 アナログ PLL の基本構成

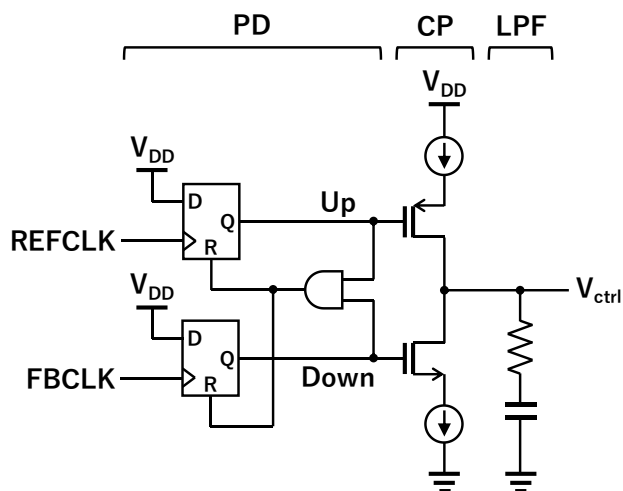


図 6.2 位相検出器からフィルタまでの回路図

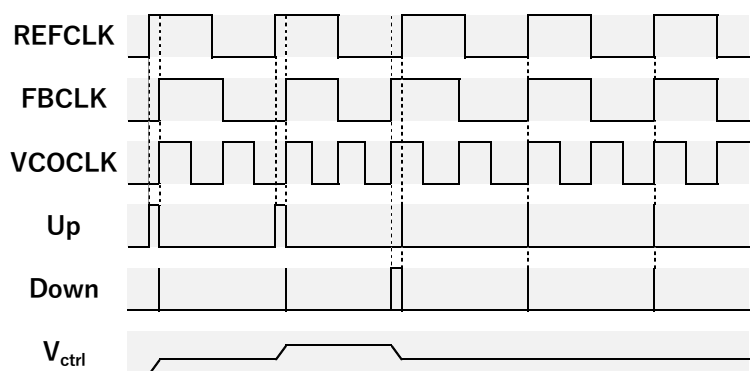


図 6.3 アナログ PLL のタイミングチャート例 (N = 2)

6.2.2 PLL の性能指標と応用先

PLL の代表的な性能指標を下記に挙げる。なお、他の回路と同様に消費電力と回路面積も重要な性能指標である。

(1) ロック時間 (セッティング時間)

PLL が起動または分周数 (通倍数) が変更されてからロック状態になるまでの時間である。システムの起動時間や通信中の周波数切り替えの速度に影響することから、短い方が望ましい。また、通信規格によっては上限が定められている [3]。基準周波数 (入力周波数) と、フィルタのカットオフ周波数が高い (ループ帯域が広い) ほどロック時間は短くなる。

(2) 出力周波数範囲、ステップ

PLL がロックできる出力周波数の範囲と変更できるステップ (刻み) である。広い周波数帯域に対応するために出力周波数範囲は広いことが望ましい。また搬送波周波数の細かい変更に対応するため出力周波数ステップは狭いことが望ましい。ステップは、VCO の発振周波数と設定可能な分周数で決まる。分周数が整数のとき、ステップは基準周波数に等しくなる。基準周波数を低くすればステップを狭くできるが、ロック時間が長くなるためトレードオフとなる。フラクショナル N 分周器を用いれば分周数に小数部を持たせることができ、ステップを基準周波数より狭くできるが、出力にフラクショナルスプリアスが生じてしまう [4]。

(3) 位相雑音、ジッタ

位相雑音は出力周波数の不安定さ、ジッタは出力信号の時間軸上の揺らぎである。入力信号に含まれる位相雑音に加えて、VCO 内の熱雑音やフリッカノイズ、電源のノイズ、VCO 制御電圧のリップルによって出力信号が位相変調されることにより生じる。位相雑音が大きいと、無線通信においては隣接チャンネルに干渉し、有線通信においては BER (Bit Error Rate) が大きくなってしまう。フィルタのカットオフ周波数を低く (ループ帯域を狭く) すれば位相雑音とジッタを低減できるが、ロック時間が長くなるためトレードオフとなる。

PLL は正確な周波数の信号を生成する周波数シンセサイザとして広く使われている。具体的にはプロセッサやメモリ、通信回路へ供給するクロック、無線通信における搬送波を生成する[5]～[7]。シリアル通信においては、データからクロックを抽出する CRC (Clock Recovery Circuit) または CDR (Clock and Data Recovery) として用いられている[8]。また、VCO 制御電圧が入力信号の周波数変動に追従することを利用して FM 復調器としても利用できる[9]。

6.3 ADPLL の概要

6.3.1 アナログ PLL の問題点

図 6.1 の構成の PLL (以下、アナログ PLL と呼ぶ) はチャージポンプやローパスフィルタといったアナログ回路を含み、発振器 (VCO) の制御も電圧で行う。アナログ PLL の問題点を下記に挙げる。

- (1) アナログローパスフィルタは LSI に集積できず、外付け部品が必要となる
- (2) ロック時間短縮と位相雑音低減の両立が難しい
- (3) 低い電源電圧では VCO 制御電圧のノイズマージンが減り、位相雑音が増加する
- (4) プロセス変更時に必要となる設計修正が多い (プロセスポータビリティが低い)

これらの問題点を解決するため、回路の大部分をデジタル回路で構成した ADPLL が提案された[2]。

6.3.2 構成と動作原理

文献[2]で提案された ADPLL の構成を図 6.4 に示す。回路は積算器 (ACC: Accumulator)、加減算器、乗算器、デジタルフィルタ、DCO (Digitally Controlled Oscillator; デジタル制御発振器)、カウンタ、レジスタ、TDC で構成される。FCW (Frequency Command Word) は周波数逡倍数の設定値であり、アナログ PLL の分周数 N に相当する。また、DCOCLK によりリタイミングされた REFCLK' が回路全体のクロックとして使用される。

各クロックのタイミングチャートを図 6.5 に示す。 t_1 時点でカウンタがリセットされると仮定すると、 t_2 時点でのレジスタ出力 $D_{\text{reg}(t_2)}$ は次式で表される。

$$D_{\text{reg}(t_2)} = T_{\text{ref}} / T_{\text{DCO}} \quad (6.3)$$

TDC の分解能を t_{LSB} とすると t_2 時点での TDC 出力 $D_{\Delta t(t_2)}$ は次式で表される。

$$D_{\Delta t(t_2)} = \Delta t_2 / t_{\text{LSB}} \quad (6.4)$$

図 6.5、式 (6.3) ～ (6.4) より T_{ref} は次式で表される。ここでは Δt_1 を無視している。

$$\begin{aligned} T_{\text{ref}} &\approx T_{\text{ref}'} - \Delta t_2 \\ &= D_{\text{reg}(t_2)} T_{\text{DCO}} - D_{\Delta t(t_2)} t_{\text{LSB}} \\ &= \left(D_{\text{reg}(t_2)} - D_{\Delta t(t_2)} \frac{t_{\text{LSB}}}{T_{\text{DCO}}} \right) T_{\text{DCO}} \end{aligned} \quad (6.5)$$

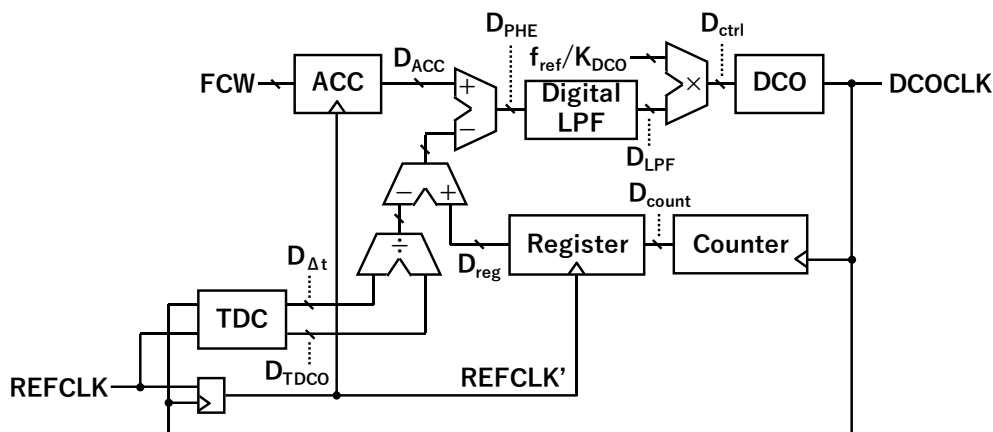


図 6.4 ADPLL の基本構成

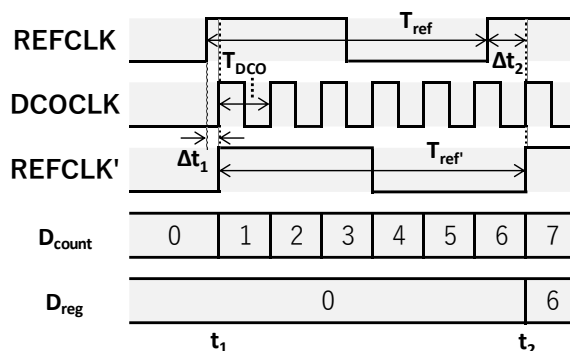


図 6.5 各クロックのタイミングチャート

t_2 時点での DCOCLK 周期 T_{DCO} を t_{LSB} で量子化した値を $D_{TDCO}(t_2)$ とすると、REFCLK と DCOCLK の周波数比は次式で表される。

$$\frac{T_{ref}}{T_{DCO}} \approx D_{reg}(t_2) - \frac{D_{\Delta t}(t_2)}{D_{TDCO}(t_2)} \quad (6.6)$$

この周波数比が FCW に近づくよう DCO の発振周波数が制御される。実際には REFCLK 1 サイクルごとではなく、複数サイクルに渡って積算された FCW と式 (6.6) の周波数比の比較が行われるので、式 (6.5) に含まれる誤差 Δt_1 と TDC の量子化誤差が比較のサイクル数分小さくなる。位相誤差を表す値 D_{PHE} は次式で表される。

$$D_{PHE} = D_{ACC} - D_{reg} + \frac{D_{\Delta t}}{D_{TDCO}} \quad (6.7)$$

D_{PHE} はデジタルフィルタにより高周波成分がカットされ D_{LPF} として出力される。FCW は REFCLK 周波数 f_{ref} の倍数であるので、 D_{PHE} と D_{LPF} は周波数に換算すると 1 あたり f_{ref} に相当する。よって、 $D_{LPF} f_{ref}$ は DCOCLK 周波数 f_{DCO} を表している。DCO 変換利得を K_{DCO} とすると、DCO 制御コード D_{ctrl} は次式で表される。

$$D_{ctrl} = f_{DCO} / K_{DCO} = D_{LPF} f_{ref} / K_{DCO} \quad (6.8)$$

上記の構成と動作により 3.3.1 項で述べたアナログ PLL の問題点を克服できる。

- (1) デジタルフィルタは LSI に集積可能
- (2) デジタルフィルタのパラメータを動的に変更することにより、ロック時間短縮と位相雑音低減の両立が可能
- (3) 制御信号がデジタルなので、低い電源電圧でもノイズの影響を受けづらい
- (4) 回路の大部分を論理ゲートで構成しているため、プロセス変更時の設計修正が少ない（プロセスポータビリティが高い）

文献[2]では基準周波数 13 MHz、所望出力周波数 2440 MHz のとき、50 μ s 以下（650 サイクル以下）でロックすることが報告されている。本研究では回路のさらなる小型化とロックの高速化のためデジタルフィルタを用いない ADPLL の構成を検討した。

6.4 デジタルフィルタを用いない ADPLL

6.4.1 全体構成と動作原理

本研究で提案するデジタルフィルタを用いない ADPLL[10]の構成を図 6.6 に示す。回路は TDC、レジスタ、積算器（ACC）、加減算器、乗算器、除算器、DCO、フラクショナル N 分周器（以下、単に分周器と呼ぶ）で構成される。

はじめに、分周器の動作について述べる。分周器はカウンタ、積算器、数値比較器、DFF で構成される。カウンタは DCOCLK の立ち上がり回数をカウントし、ACC は小数を積算する。分周器出力 D_{div} は固定小数点数であり、整数部 D_{div_int} はカウンタ出力、小数部 D_{div_frac} はレジスタ出力である。また、N は分周数、 N_{int} と N_{frac} はそれぞれ分周数の整数部と小数部である。図 6.7 に分周器のタイミングチャートを示す。DCOCLK が立ち上がる度に D_{div} は 1 ずつ増える。 D_{div} が $N-1$ 以上になると数値比較器出力 ResetFlag が High となり、次の DCOCLK 立ち上がりでカウンタ (D_{div_int}) は 0 にリセットされ、ACC は $1-N_{frac}$ を自身の出力 D_{div_frac} に加算する。なお、ACC (D_{div_frac}) は小数のみを保持し、オーバーフロー ($D_{div} \geq 1$) した場合は整数部が切り捨てられる。 D_{div_frac} が N_{frac} を越えている場合は、 D_{div_int} にキャリー（桁上げ）として反映され、DCOCLK 1 サイクル分早くカウンタがリセットされる。このような動作により、分周器出力 D_{div} は離散的なのこぎり波となる。ここで D_{div} の平均周波数を求める。

$D_{div_frac} < N_{frac}$ のとき、リセットから次のリセットまでの時間 T_{reset1} は次式で表される。

$$T_{reset1} = (N_{int} + 1) T_{DCO} \quad (6.9)$$

$D_{div_frac} \geq N_{frac}$ のとき、リセットから次のリセットまでの時間 T_{reset2} は次式で表される。

$$T_{reset2} = N_{int} T_{DCO} \quad (6.10)$$

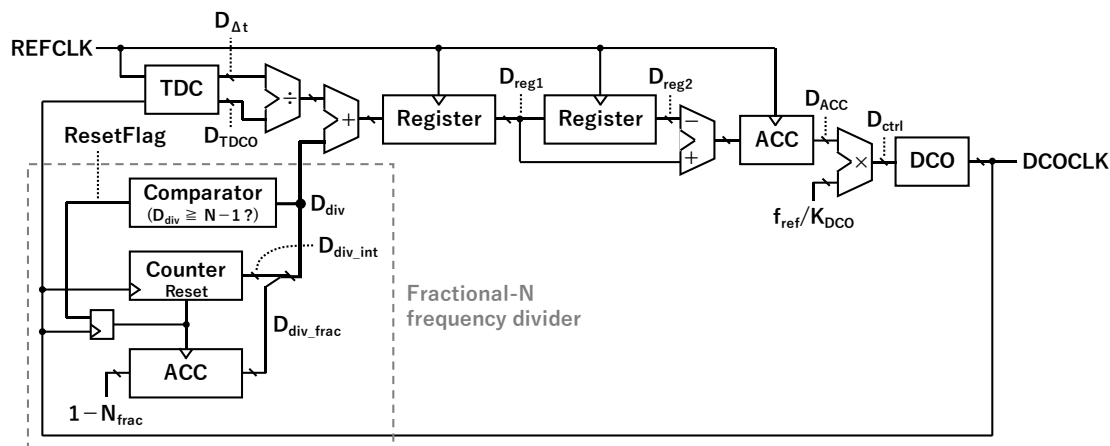


図 6.6 デジタルフィルタを用いない ADPLL

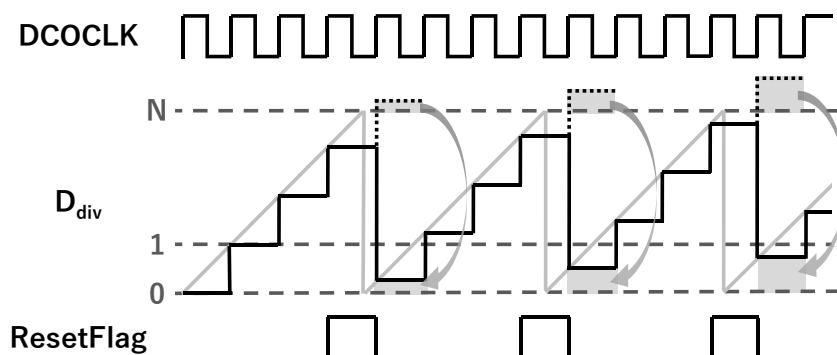


図 6.7 分周器のタイミングチャート

D_{div_frac} が N_{frac} から 1 となるまでの平均リセット回数 n_{reset2} は次式で表される。

$$n_{reset2} = \frac{1 - N_{frac}}{1 - N_{frac}} = 1 \quad (6.11)$$

式 (6.9) ~ (6.11) より、 D_{div} の平均周期 T_{div} は次式で表される。

$$\begin{aligned} T_{div} &= \frac{T_{reset1} n_{reset1} + T_{reset2} n_{reset2}}{n_{reset1} + n_{reset2}} \\ &= \frac{(N_{int} + 1) T_{DCO} \frac{N_{frac}}{1 - N_{frac}} + N_{int} T_{DCO}}{\frac{N_{frac}}{1 - N_{frac}} + 1} \\ &= (N_{int} + 1) T_{DCO} N_{frac} + N_{int} T_{DCO} (1 - N_{frac}) \\ &= N_{frac} T_{DCO} + N_{int} T_{DCO} \\ &= N T_{DCO} \end{aligned} \quad (6.12)$$

式 (6.12) より D_{div} の平均周波数 f_{div} は f_{DCO}/N となる。

続いて、位相検出の原理について述べる。ここでは分周器出力 D_{div} を 1 次ホールドにより補間した周波数 f_{div} の連続のこぎり波 $f(t)$ として扱う。 $f(t)$ を REFCLK の立ち上がりでサ

ンプリングし、過去のサンプリング値と比較することにより位相差を検出する。図6.8にタイミングチャートを示す。図6.8 (a) のように $f_{ref} = f_{div}$ となっている場合は、サンプリング値間の差 $\Delta y = y_i - y_{i-1}$ は0となる。図6.8 (b) のように $f_{ref} < f_{div}$ となっている場合は $\Delta y > 0$ となり、図6.8 (c) のように $f_{ref} > f_{div}$ となっている場合は $\Delta y < 0$ となる。 $f(t)$ は T_{DCO} ごとに1増加するので、 $f(t)$ と REFCLK の周期差 ΔT は次式で表される。

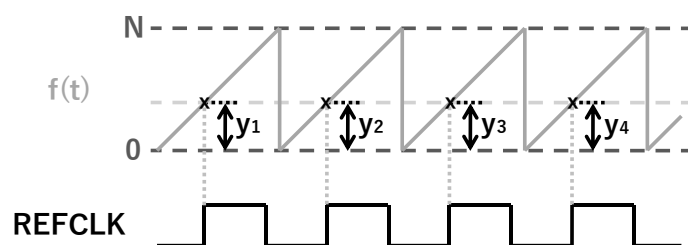
$$\Delta T = \Delta y T_{DCO} \tag{6.13}$$

また、 T_{div} は次式で表される。

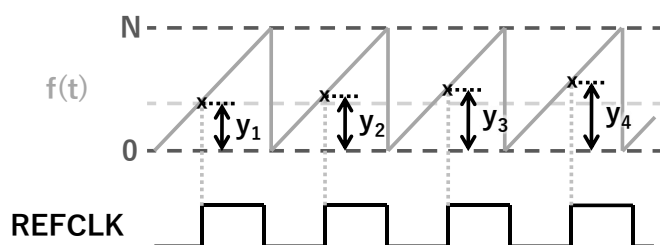
$$T_{div} = NT_{DCO} \tag{6.14}$$

図6.9、式(6.13)～(6.14)より T_{ref} は次式で表される。

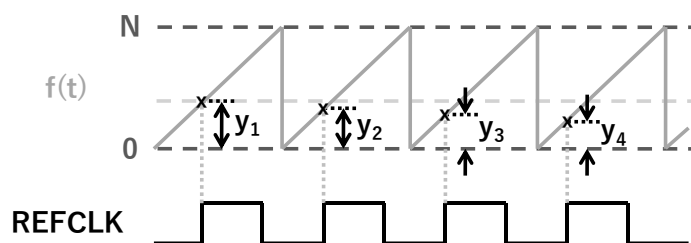
$$T_{ref} = T_{div} + \Delta T = (N + \Delta y) T_{DCO} \tag{6.15}$$



(a) $f_{ref} = f_{div}$ の場合



(b) $f_{ref} < f_{div}$ の場合



(c) $f_{ref} > f_{div}$ の場合

図6.8 位相検出の原理

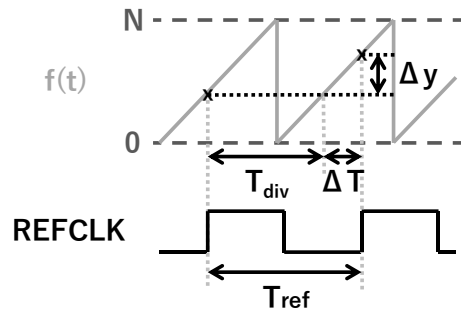


図 6.9 周期差の検出

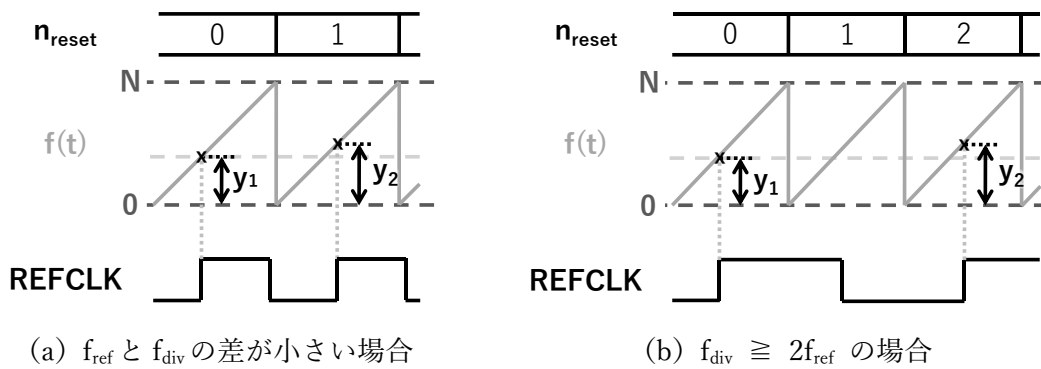


図 6.10 分周器内カウンタのリセット回数

式 (6.15) より f_{DCO} は次式で表される。

$$f_{\text{DCO}} = (N + \Delta y) f_{\text{ref}} \quad (6.16)$$

式 (6.16) より所望周波数 Nf_{ref} からの周波数誤差は $\Delta y f_{\text{ref}}$ であることがわかる。

ここで分周器のリセット回数について考える。 f_{div} と f_{ref} の差が小さいときは図 6.10 (a) のように、2 回サンプリングの間に分周器内カウンタは 1 回リセットされるが、図 6.10 (b) のように f_{div} が $2f_{\text{ref}}$ より大きいとき ($f_{\text{div}} \geq 2f_{\text{ref}}$) は 2 回サンプリングの間に 2 回以上リセットされる。リセット回数が 2 回以上の時は、サンプリング値 y_i に $N \times$ リセット回数を加算して補正する必要がある。分周器内カウンタのリセット回数を n_{reset} とすると、補正後のサンプリング値 y_i' は次式で表される。

$$y_i' = y_i + (n_{\text{reset}} - 1) N \quad (6.17)$$

なお、 f_{div} が f_{ref} より小さいとき ($f_{\text{div}} < f_{\text{ref}}$) は 2 回サンプリングの間のリセット回数が 0 回となる場合もあるが、この場合は式 (6.17) に従って y_i から N を減算する必要がある。

ここまでは分周器出力を連続値として扱っていたが、実際には離散値であるため、TDC によりサンプリング値の補間を行う。図 6.11 にサンプリング値補間の概念図を示す。TDC を用いて T_{DCO} と Δt の量子化を行い、サンプリング値 D_{reg} に $\Delta t/T_{\text{DCO}}$ を加算する。補間済みサンプリング値 D_{reg} は次式で表される。

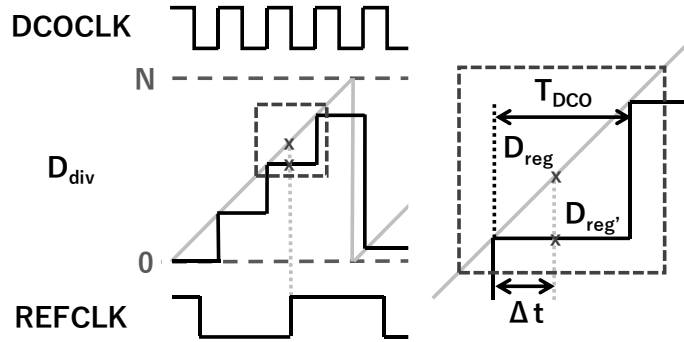


図 6.11 サンプルング値の補間

$$D_{\text{reg}} = D_{\text{reg}'} + \frac{\Delta t}{T_{\text{DCO}}} = D_{\text{reg}'} + \frac{D_{\Delta t}}{D_{\text{TDCO}}} \quad (6.18)$$

この補間済みサンプルング値がレジスタ $D_{\text{reg}1}$ に保持され、REFCLK 1 サイクル前の補間済みサンプルング値はレジスタ $D_{\text{reg}2}$ に保持される。 $D_{\text{reg}1}$ と $D_{\text{reg}2}$ の差が式 (6.16) の Δy に相当し、 f_{DCO} の所望周波数 $N f_{\text{ref}}$ からの誤差 Δf は次式で表される。

$$\Delta f = (D_{\text{reg}1} - D_{\text{reg}2}) f_{\text{ref}} \quad (6.19)$$

提案する ADPLL (図 6.6) では $D_{\text{reg}1}$ と $D_{\text{reg}2}$ の差を ACC で積算し、 $f_{\text{ref}}/K_{\text{DCO}}$ を乗じた値を DCO 制御コード D_{ctrl} としている。 D_{ctrl} は次式で表される。

$$D_{\text{ctrl}} = \sum (D_{\text{reg}1} - D_{\text{reg}2}) \frac{f_{\text{ref}}}{K_{\text{DCO}}} \quad (6.20)$$

TDC 出力 $D_{\Delta t}$ 、 D_{TDCO} は量子化誤差を含むため、 $D_{\text{reg}1}$ 、 $D_{\text{reg}2}$ も誤差を持つ。 $D_{\Delta t}$ 、 D_{TDCO} の量子化誤差を $\pm 0.5 \text{ LSB}$ として式 (6.18) を修正すると次式になる。

$$D_{\text{reg}} = D_{\text{reg}'} + \frac{D_{\Delta t} \pm 0.5}{D_{\text{TDCO}} \pm 0.5} \quad (6.21)$$

TDC の分解能が高い (t_{LSB} が小さい) とき、 D_{TDCO} は大きな値となることから、式 (6.21) において $D_{\text{TDCO}} \pm 0.5 \approx D_{\text{TDCO}}$ と近似すると次式になる。

$$D_{\text{reg}} = D_{\text{reg}'} + \frac{D_{\Delta t} \pm 0.5}{D_{\text{TDCO}}} = D_{\text{reg}'} + \frac{D_{\Delta t}}{D_{\text{TDCO}}} \pm \frac{1}{2D_{\text{TDCO}}} \quad (6.22)$$

式 (6.20) において、ワーストケース (量子化誤差が大きく生じる場合) として $D_{\text{reg}1}$ に正の量子化誤差、 $D_{\text{reg}2}$ に負の量子化誤差があると仮定し、式 (6.20) に式 (6.22) を代入すると次式になる。

$$D_{\text{ctrl}} = \sum \left(\left(D_{\text{reg}1'} + \frac{D_{\Delta t1}}{D_{\text{TDCO}}} + \frac{1}{2D_{\text{TDCO}}} \right) - \left(D_{\text{reg}2'} + \frac{D_{\Delta t2}}{D_{\text{TDCO}}} - \frac{1}{2D_{\text{TDCO}}} \right) \right) \frac{f_{\text{ref}}}{K_{\text{DCO}}} \quad (6.23)$$

ここで、量子化誤差による D_{ctrl} の変動分 $D_{\text{ctrl_err}}$ とその影響を考える。ADPLL の引き込み動作中 (ロック完了前) は、フィードバックの働きにより $D_{\text{ctrl_err}}$ は打ち消される。 $(D_{\text{ctrl_err}}$

は積算されない) ロック完了時は、 $D_{\text{ctrl_err}}$ により出力周波数 f_{DCO} は所望周波数 $N f_{\text{ref}}$ からずれて周波数遷移 $f_{\text{DCO_err}}$ が生じる。 $D_{\text{ctrl_err}}$ と $f_{\text{DCO_err}}$ は次式で表される。

$$D_{\text{ctrl_err}} = \frac{1}{D_{\text{TDCO}}} \frac{f_{\text{ref}}}{K_{\text{DCO}}} = \frac{t_{\text{LSB}}}{T_{\text{DCO}}} \frac{f_{\text{ref}}}{K_{\text{DCO}}} = \frac{t_{\text{LSB}} f_{\text{DCO}} f_{\text{ref}}}{K_{\text{DCO}}} \quad (6.24)$$

$$f_{\text{DCO_err}} = D_{\text{ctrl_err}} K_{\text{DCO}} = t_{\text{LSB}} f_{\text{ref}} f_{\text{DCO}} \quad (6.25)$$

式(6.25)よりTDCの分解能を上げるか、 f_{ref} を小さくすれば f_{DCO} の周波数遷移を小さくできるが、回路面積とロック時間とのトレードオフとなる。また、分周器出力のサンプリング周期を nT_{ref} ($n \geq 2$)に延ばした場合、 D_{ctrl} は式(6.26)で表され、量子化誤差の影響を $1/n$ に低減できる。しかし、サンプリング周期に比例してロック時間も伸びるためトレードオフとなる。

$$D_{\text{ctrl}} = \sum \left(\frac{D_{\text{reg1}} - D_{\text{reg2}}}{n} \right) \frac{f_{\text{ref}}}{K_{\text{DCO}}} \quad (6.26)$$

本研究ではロック高速化を優先し、サンプリング周期 T_{ref} の条件で検討を行った。

6.4.2 ADPLLに用いるTDCの構成

ADPLLに用いるTDCの性能要件について述べる。位相検出はREFCLKの立ち上がりごとに行われるため、TDCには f_{ref} 以上のサンプリングレートが要求される。また、DCOCLKの周期 T_{DCO} を量子化する際、DCOCLKのデューティ比が50%であれば、その半周期を量子化した後、半周期に対応したデジタル値を2倍して1周期に相当するデジタル値が得られる。よって、 $T_{\text{DCO}}/2$ 以上のダイナミックレンジが必要となる。式(6.25)に示したように、TDCの分解能 t_{LSB} は周波数遷移へ影響するため小さいことが望ましい。従って、ADPLLに用いるTDCの構成として高速なサンプリングレートと高い分解能を兼ね備えたフラッシュ型TDCまたはバーニア型TDCが適している。 $f_{\text{ref}} = 10 \text{ MHz}$ 、 $f_{\text{DCO}} = 2 \text{ GHz}$ とした場合、TDCの性能要件はサンプリングレート 10 MS/s 以上、ダイナミックレンジ 250 ps 以上となる。フラッシュ型またはバーニア型の場合、出力ビット数に応じて回路面積が2のべき乗で大きくなるため、出力ビット数は少ない方が望ましい。ダイナミックレンジ 250 ps で出力ビット数6-bitとした場合、 $t_{\text{LSB}} = 3.9 \text{ ps}$ となり、高い分解能を実現できるバーニア型TDCが適している。

提案するADPLLでは、図6.12のようにDCOCLKの半周期 $T_{\text{DCO}}/2$ とDCOCLKとREFCLKの立ち上がり時間差 Δt を量子化する。2つの時間信号を量子化する必要があるため、TDCを2つ用意するか、TDCの入力を切り替えて使用する。バーニア型TDCの回路面積は大きいので、TDCは1つで入力を切り替えて使用する方が望ましい。具体的には図6.13に示すように、REFCLK' (DCOCLKに同期化したREFCLK)に応じてSTOP入力を切り替える。なお、図6.13のTDCブロック内部は図2.11の回路であり、図6.6のTDCブロック内部は図6.13の回路である。TDCで量子化するのは $T_{\text{DCO}}/2$ であるが、 T_{DCO} に対応したデジタル値 D_{TDCO} を得るためTDC出力 D_{out} を2倍(1-bit左シフト)する。

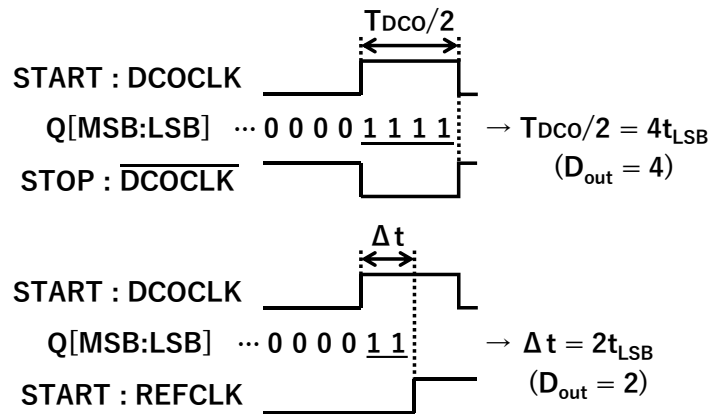


図 6.12 T_{DCO} と Δt の量子化

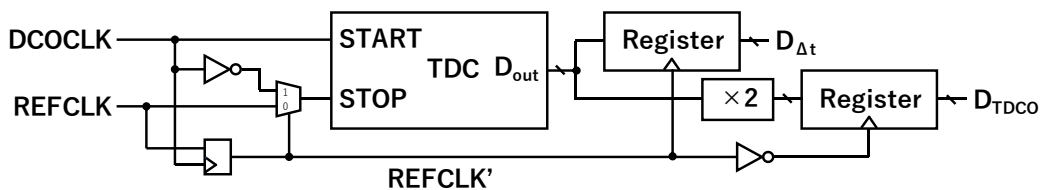


図 6.13 TDC 入力切り替え回路

6.4.3 基準周波数偏差への対応

PLLの基準信号であるREFCLKは、一般に水晶発振器により生成される[11]が、水晶発振器は外付け部品となるため機器の小型化や低コスト化の妨げとなる。それに対し、近年はLSIに内蔵可能なMEMS (Micro Electro Mechanical Systems) 発振器でREFCLKを生成する研究開発が行われている[12]。しかし、MEMS発振器は温度変化による発振周波数のばらつき(偏差)が大きいため補正が必要となる。本研究では、可変遅延回路によりREFCLKの周波数偏差を補正する手法[13]の応用を検討した。

MEMS発振器の周波数を補正する回路を図6.14に示す。補正回路は、2分周回路、可変遅延回路、LUT、温度センサを含む。REFCLK1はADPLL(図6.6)のTDCとレジスタのクロック端子へ、REFCLK2はACCのクロック端子へ入力する。補正回路のタイミングチャートを図6.15に示す。温度変化によりMEMS発振器の出力周波数 f_{MEMS} が所望基準周波数よりも低くなっている場合の例である。信号aはMEMSCLKを2分周して得たクロック、信号bはMEMSCLKの立ち上りエッジより生成されたパルス、信号cと信号bは信号bを t_{d1} または t_{d2} 遅延させたパルスである。aの値に応じてcとdを選択し、REFCLK1として出力する。 T_{MEMS} をMEMSCLKの周期、 Δt_d を t_{d1} と t_{d2} の差($t_{d2} - t_{d1}$)とすると、REFCLK1の周期 T_{ref1} は1サイクルごとに $T_{MEMS} - \Delta t_d$ と $T_{MEMS} + \Delta t_d$ に変動する。この回路では $T_{MEMS} - \Delta t_d$ が所望基準周期と等しくなるよう Δt_d を調整する。従って、図6.15の例では①-②および④-⑤の期間が所望基準周期となる。②-④および⑤-⑦の期間は所望基準

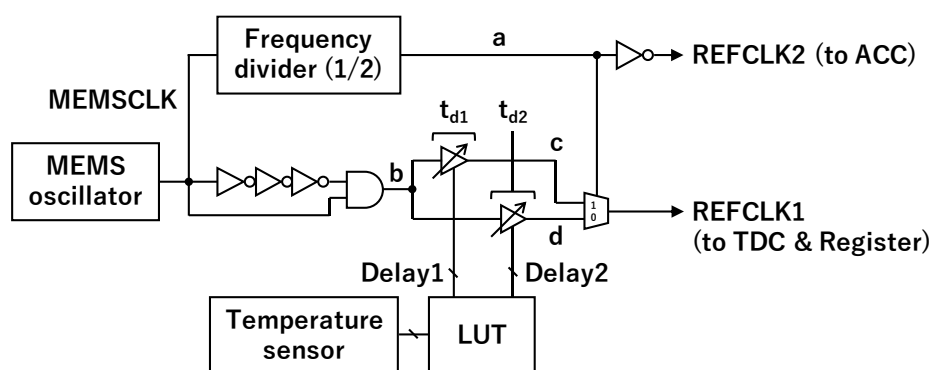


図 6.14 周波数補正回路

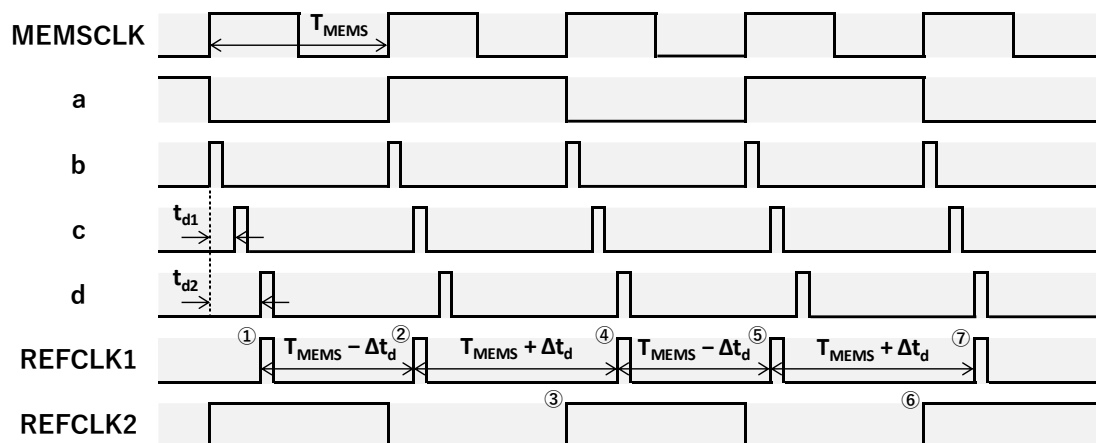


図 6.15 周波数補正回路のタイミングチャート

周期から $2\Delta t_d$ ずれているため、ADPLL 内の 2 レジスタの差分 (式 (6.20) の $D_{reg1} - D_{reg2}$) に大きな誤差が生じる。そのため、REFCLK1 の立ち上がり間隔が所望基準周期と等しくなっている期間 (①-②および④-⑤) に計算された 2 レジスタの差分 ($D_{reg1} - D_{reg2}$) を用いて、(③および⑥のタイミングで) ACC を更新する。すなわち、REFCLK1 の立ち上がり間隔が所望基準周期からずれているときは ACC の更新を行わない。従って、周波数補正回路を使用する場合、ACC の更新間隔は 2 倍となるため、ロック時間も倍増する。なお、 Δt_d を負の値 ($t_{d1} > t_{d2}$) とすると、 f_{MEMS} が所望基準周波数より高くなっている場合にも対応できる。温度に応じた Δt_d の値 (可変遅延回路の制御コード Delay1、Delay2) を LUT に格納しておくことで、温度変化による周波数偏差を補正できる。

6.4.4 シミュレーションによる評価

Simulink 上で提案する ADPLL のビヘイビアモデルを作成し、シミュレーションを行った。分周器、DCO、ADPLL 全体の順でモデルとシミュレーションについて述べる。

(1) 分周器

分周器の Simulink モデルを図 6.16 に示す。Simulink 上でのデータ処理の都合上、追加しているブロックがあるが、回路としては図 6.6 と同等の構成としている。分周動作の確認のため、分周器単体のシミュレーションを行った。DCOCLK として 10 MHz の矩形波を入力し、分周数 N を 2 から 12 まで 0.1 刻みで変化させたときの分周器出力の平均周波数 f_{div} (1 s あたりのカウンタリセット回数) を図 6.17 に示す。 $f_{div} = f_{DCO}/N$ となっていることを確認した。 N が 2.0、10.0、10.3 のときの分周器出力 D_{div} の波形を図 6.18 に示す。なお、DCOCLK は表示の都合上、縦軸方向に -2 のオフセットを付加している。図 6.18 より N が整数のときは D_{div} の小数部に変化がないが、 N を実数とすると D_{div} の小数部に変化があることを確

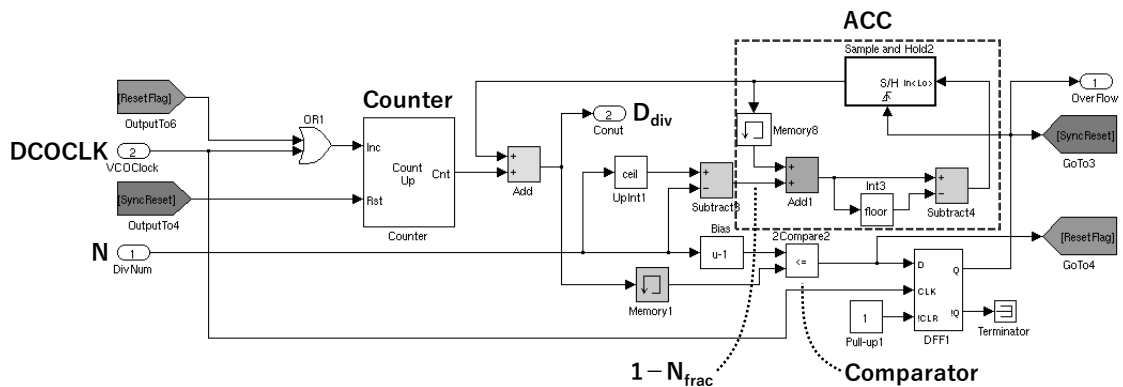


図 6.16 分周器の Simulink モデル

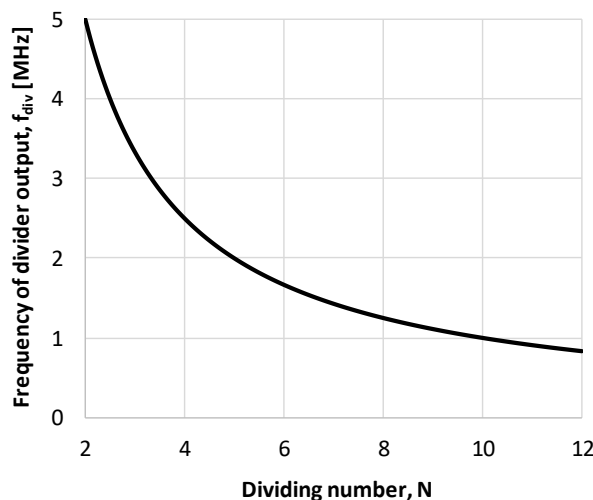
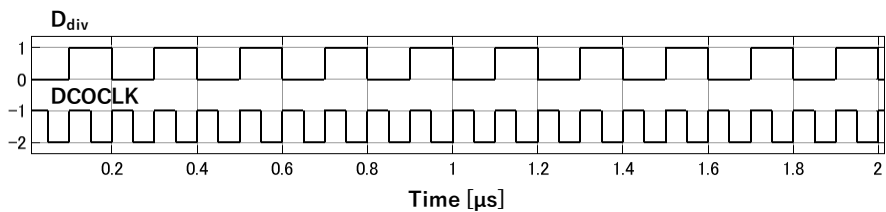
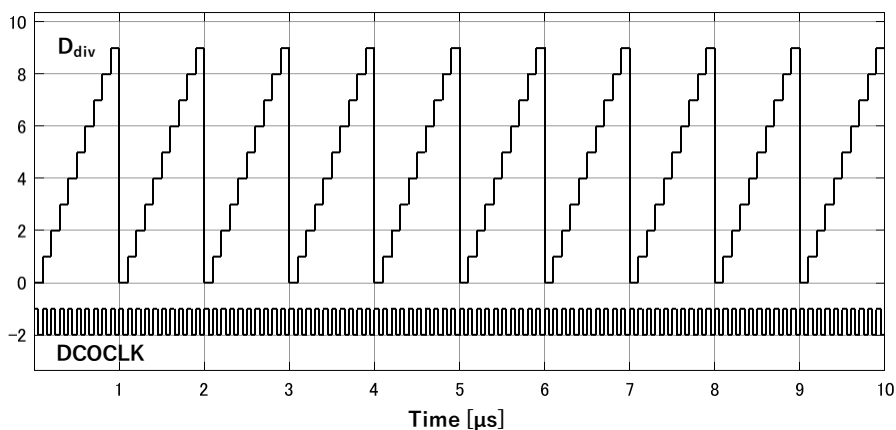


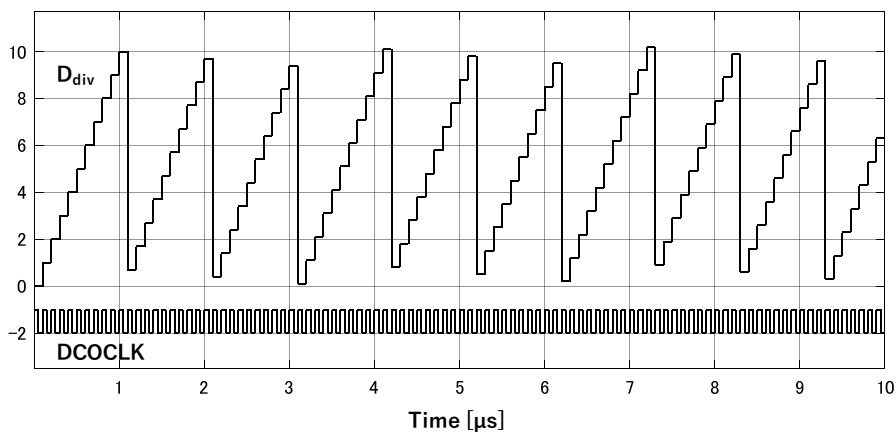
図 6.17 分周数に対する分周器出力周波数



(a) $N = 2.0$



(b) $N = 10.0$



(c) $N = 10.3$

図 6.18 分周器のシミュレーション波形

認できる。これらのシミュレーション結果から正常に分周動作が行われていることを確認した。

(2) DCO

DCO の Simulink モデルを図 6.19 に示す。Simulink 組み込みの VCO ブロックを利用しており、入力には利得の非線形性と温度ドリフトを付加するブロックを追加している。動作解析を容易にするため VCO ブロックの利得は 1 に設定しており、発振周波数は VCO ブロックの入力値に等しくなる。一般的な VCO の利得は発振周波数レンジの中央で高く、両端で低い[14]ことから、利得の非線形性をシグモイド関数で表現する。利得の非線形性と温度ドリフトを付加するブロックでは、次式のように DCO 制御コード D_{ctrl} から発振周波数 f_{DCO} を計算する。

$$f_{DCO} = \frac{4(D_{ctrl}-f_{DCO_center})(f_{max}-f_{DCO_center})}{f_{DCO_max}-f_{DCO_center}+3|D_{ctrl}-f_{DCO_center}|} + f_{DCO_center} + f_{DCO_drift} \quad (6.27)$$

f_{DCO_center} は発振周波数の設計中央値 (温度ドリフトを考慮しない設計値)、 f_{DCO_max} は設計最大値、 f_{DCO_drift} は温度ドリフト (温度変化による発振周波数のオフセット) である。本検討では 2.4 GHz 帯無線通信用途を想定し、 $f_{DCO_center} = 2.4$ GHz、 $f_{DCO_max} = 2.9$ GHz、 $f_{DCO_drift} = 100$ MHz としており、DCO モデルは図 6.20 のような制御コード-発振周波数特性を持つ。なお、出力には正弦波を矩形波に変換するブロックを追加している。

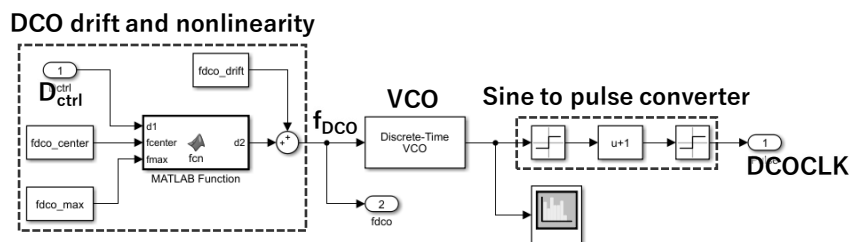


図 6.19 DCO の Simulink モデル

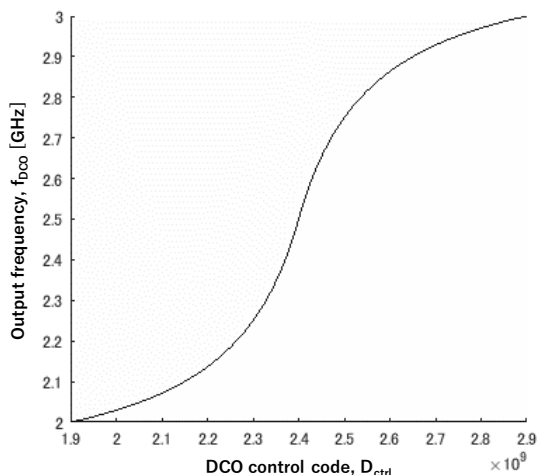


図 6.20 DCO の制御コード-発振周波数特性

(3) ADPLL

ADPLL の Simulink モデルを図 6.21 に示す。なお、水晶発振器を用いて REFCLK を生成することを想定し、ロック高速化を優先するため、6.4.3 項で述べた周波数補正回路は組み込んでいない。位相検出回路と分周器は 1 つのサブシステムに集約しており、その詳細は後述する。位相検出回路と分周器、DCO の他に分周数設定ブロック (N configuration)、ロック時間や周波数遷移を表示するブロックを追加している。分周数設定ブロックでは、分周数 N の切り替えと小数部のビット幅制限を行う。また、ロック高速化のため、起動時および分周数変更時に発振周波数 f_{DCO} が所望周波数 Nf_{ref} に近くなるよう D_{ctrl} に初期値 D_{ctrl_init} を与えるブロックを追加している。さらに、急激な D_{ctrl} の変動を防ぐため位相検出器出力 ΔD_{ctrl} を 2 のべき乗数で除算 (右シフト) するブロック (ΔD_{ctrl} ゲイン) も追加している。

位相検出回路の Simulink モデルを図 6.22 に示す。モデルは分周器 (図 6.16) も含んでおり、図 6.6 には表示していない回路も追加している。 D_{reg1} 補正ブロック (D_{reg1} correction) は分周器内カウンタのリセット回数 n_{reset} をカウントし、式 (6.17) に従ってサンプリング値 D_{reg1} を補正する。 D_{ctrl} 更新トリガブロックは、 D_{ctrl} の更新間隔が $2T_{ref}$ 以上になるよう REFCLK を 2 分周して ACC の更新トリガ信号を生成する。これは ADPLL 起動時と D_{ctrl} が変更されてから f_{DCO} が変更されるまでの待ち時間を追加するためである。TDC ブロックは、 Δt と T_{DCO} を測定し t_{LSB} で量子化を行うビヘイビアモデルとした。

ADPLL のシミュレーション条件を表 6.1 に示す。DCO 発振周波数と分周数の範囲は、2.4 GHz 帯無線通信用途を想定して定めた。位相検出回路では小数を含む演算を行うが、固定小数点数を用いることとし、小数部のビット数は 10-bit に制限している。ロックの判定条件として、次式で求められる周波数偏差率が指定値より小さい場合にロックしていると判定する。

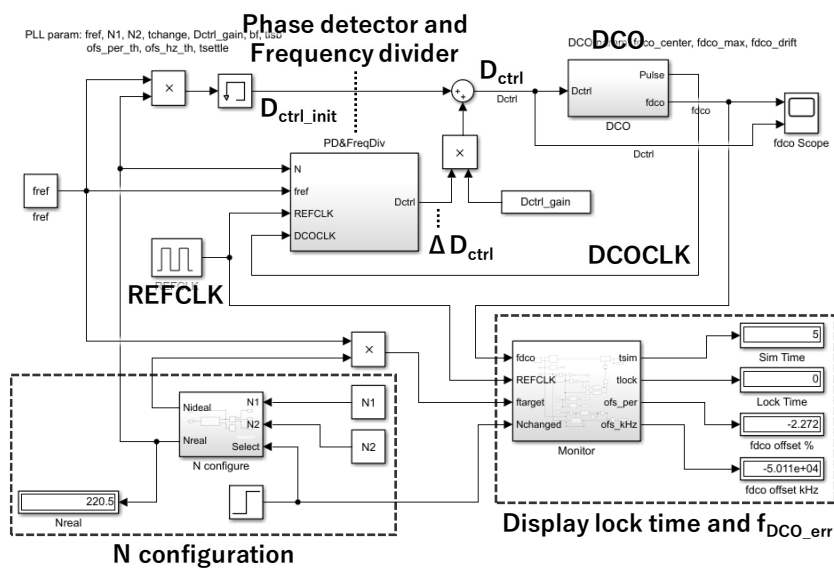


図 6.21 ADPLL の Simulink モデル

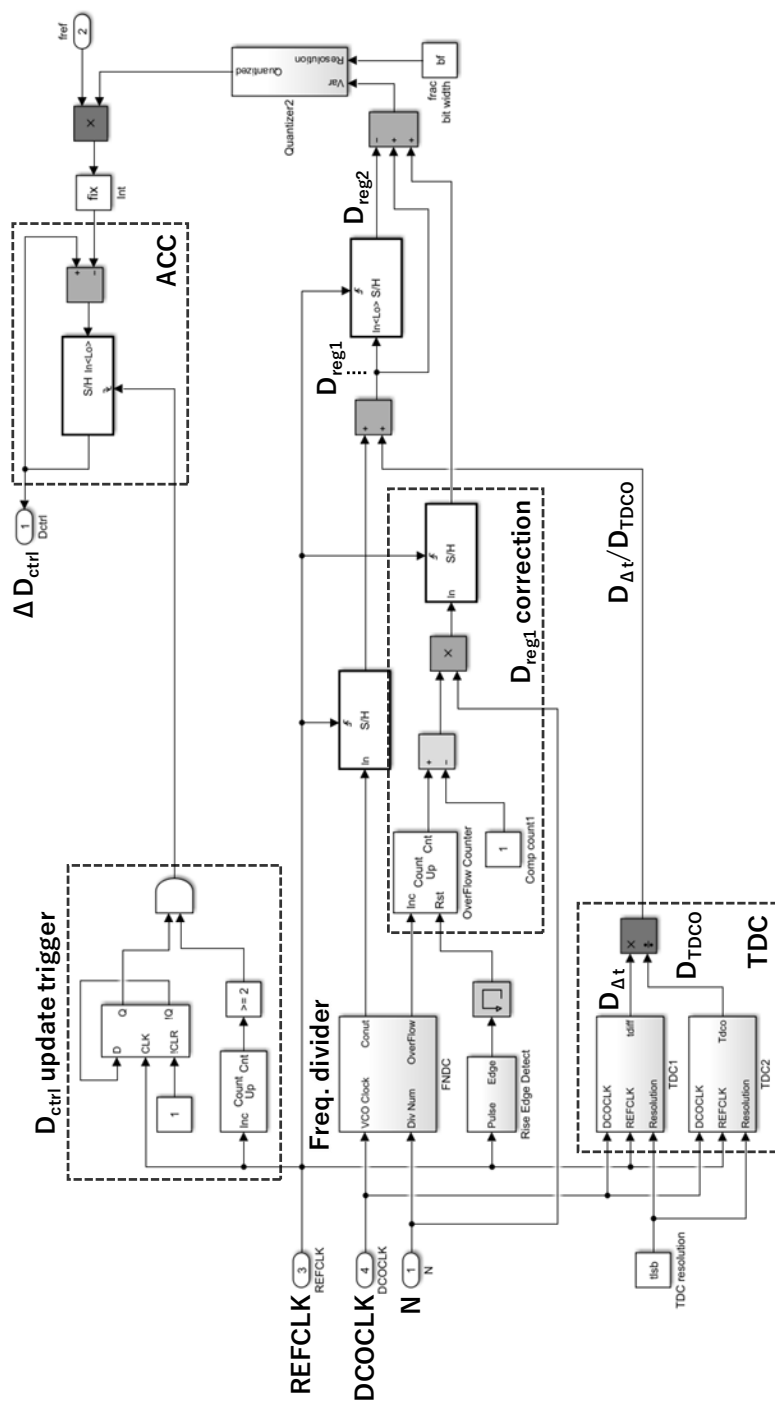


図 6.22 位相検出回路の Simulink モデル

表 6.1 シミュレーション条件

項目	記号	値	
シミュレーション時間	-	25 μ s	
基準周波数	f_{ref}	10 MHz	
DCO 発振周波数	設計中央値	$f_{\text{DCO_center}}$	2.4 GHz
	設計最大値	$f_{\text{DCO_max}}$	2.9 GHz
	温度ドリフト	$f_{\text{DCO_drift}}$	100 MHz
分周数	N	220 ~ 260 (0.1 step)	
ΔD_{ctrl} ゲイン	-	1/4	
TDC 分解能	-	4 ps	
小数部ビット数	-	10-bit	
ロック判定周波数偏差率	-	< 0.01%	

$$f_{\text{DCO_err_rate}} = \frac{f_{\text{DCO}} - Nf_{\text{ref}}}{Nf_{\text{ref}}} \quad (6.28)$$

式 (6.25) から求められる周波数偏差率の理論値は次式で表される。

$$f_{\text{DCO_err_rate_ideal}} = \frac{t_{\text{LSB}} f_{\text{ref}} N f_{\text{ref}}}{N f_{\text{ref}}} = t_{\text{LSB}} f_{\text{ref}} \quad (6.29)$$

式 (6.29) より表 6.1 の条件では、周波数偏差率の理論値は 0.004% となる。DCO の非線形性や小数部のビット制限による演算誤差により、周波数偏差は式 (6.25) で求められる値よりも大きくなるので、ロック判定条件は周波数偏差率 0.01% 未満とした。

続いて、シミュレーション結果について述べる。分周数ごとの、ロック後の平均発振周波数 $f_{\text{DCO_ave}}$ と周波数偏差 $f_{\text{DCO_err}}$ を図 6.23~3.22 に示す。図 6.24 では、ロック後の周波数偏差の最大値を正負に分けて表示している。破線は式 (6.28) で表される周波数偏差が 0.01% の線を表している。図 6.23~3.22 より発振周波数は所望周波数 Nf_{ref} にロックし、周波数偏差も 0.01% 以内に収まっていることが分かる。分周数ごとのロック時間を図 6.25 に示す。ロック時間はどの分周数においても 4 μ s (40 T_{ref}) 以内に収まっている。提案する ADPLL はシミュレーションのみの評価結果であるが、文献[2]で提案されている ADPLL と比較して 10 倍以上高速なロックを実現している。分周数が小さいときロックが遅くなっているのは、図 6.20 で示したように、発振周波数が小さいとき DCO ゲインが小さくなるためである。周波数引き込み特性の一例として $N = 243.1$ のときの引き込み特性を図 6.26 に示す。1 μ s でロックした後、発振周波数は所望周波数 2.431 GHz 近傍で微小変動している。これは、DCO の非線形性や TDC の量子化誤差により、ロック後も周波数遷移が 0 にはならないためである。 $N = 243.1$ のときのロック後の出力スペクトラムを図 6.27 に示す。図 6.27 より所望周波数 2.431 GHz の他にピークは存在せず、フラクショナルスプリアスが抑圧さ

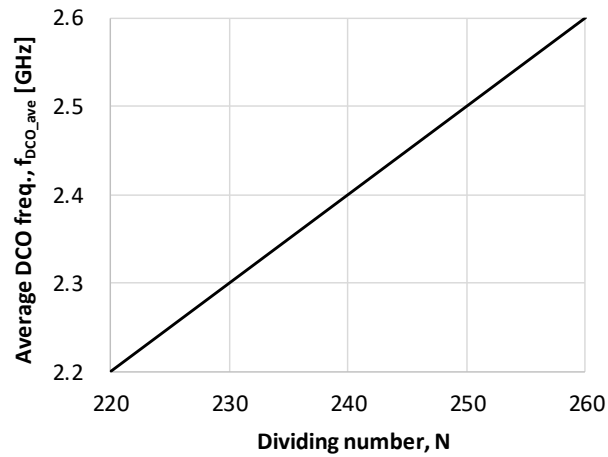


図 6.23 分周数ごとの平均発振周波数

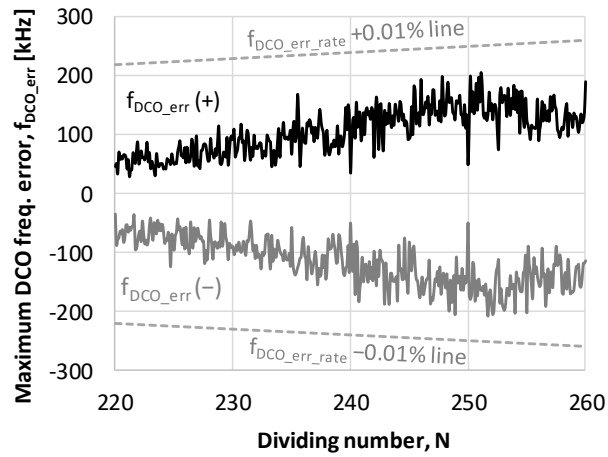


図 6.24 分周数ごとの周波数偏差

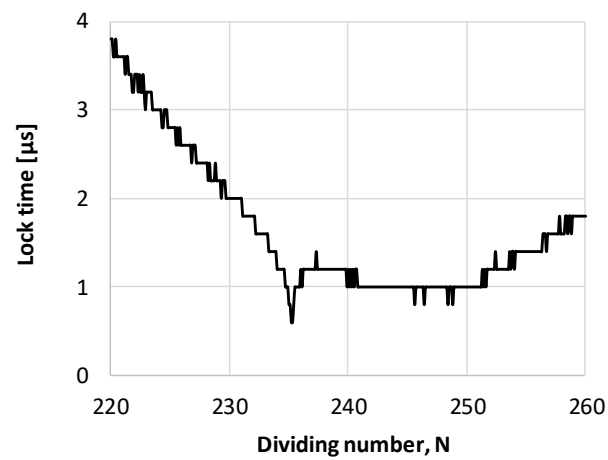
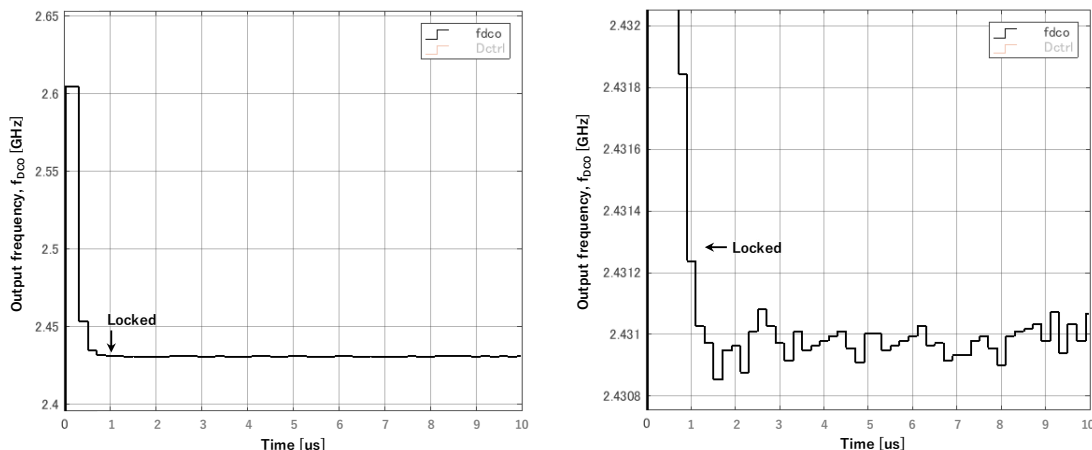
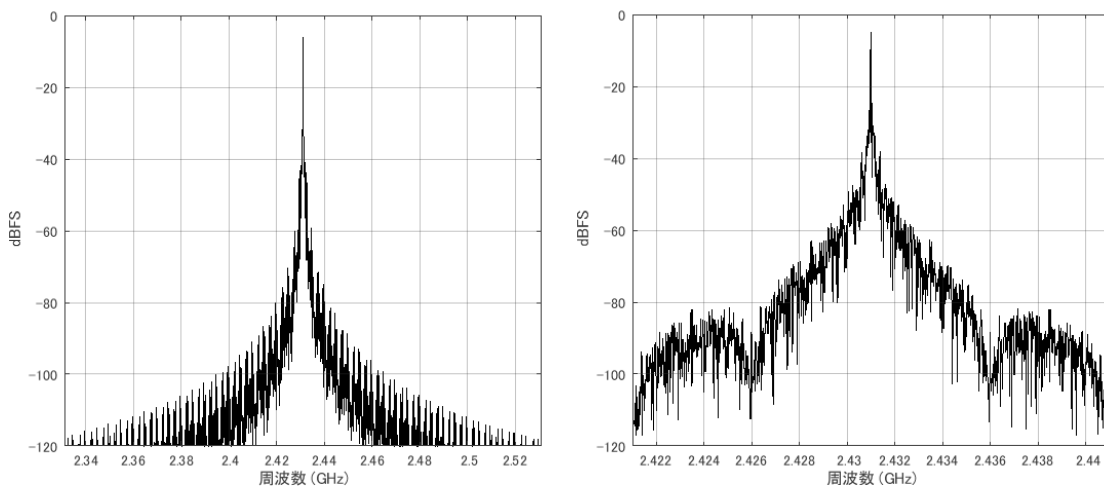


図 6.25 分周数ごとのロック時間



(a) 全体 (b) 縦軸拡大

図 6.26 周波数引き込み特性 (N = 243.1)



(a) 200 MHz レンジ (b) 20 MHz レンジ

図 6.27 ロック後の出力スペクトラム (N = 243.1)

れていることを確認できる。なお、ロック後の発振周波数の微小変動が、位相雑音（スペクトラムの裾部分）として現れている。分周数変更時の引き込み特性の一例として $N = 243.1$ から 253.6 へ変更したときの引き込み特性を図 6.28 に示す。分周数変更時も図 6.25 に示した時間でロックできていることを確認した。

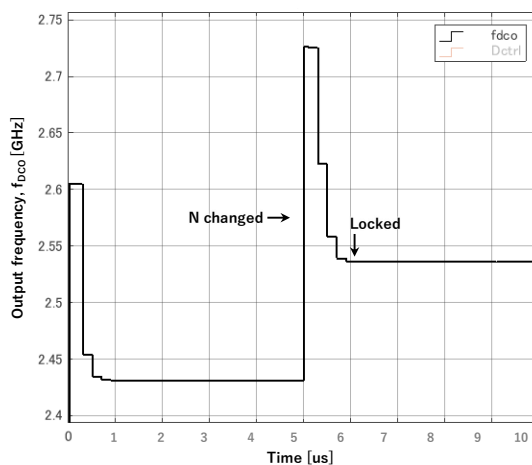


図 6.28 分周数変更時の周波数引き込み特性 ($N = 243.1 \rightarrow 253.6$)

6.5 まとめ

PLL は、プロセッサ等へ供給するクロックや通信に用いる搬送波の生成に使用されており、情報処理と通信に欠かせない回路である。従来のアナログ PLL は発振器を電圧で制御するため、電源電圧が低下すると性能が劣化してしまう。また、外付け部品のアナログフィルタを必要とするため小型化が難しいこと、プロセス変更時に多くの設計修正が必要となる課題もあった。これらの課題を解決しプロセス微細化の恩恵を受けるため、回路の大部分をデジタル回路で構成した ADPLL が提案された。ADPLL では、TDC により位相差検出を行い、デジタル値で発振器を制御する。また、アナログフィルタはデジタルフィルタに置き換えられている。本研究では高速なロックと回路の小型化を実現するため、デジタルフィルタを用いない ADPLL を提案した。提案回路では、TDC と固定小数点数を持つカウンタを用いて周波数誤差を検出することによりロックを高速化している。MATLAB/Simulink 上で提案回路のビヘイビアモデルを作成し、シミュレーションにて動作と性能の評価を行った。評価の結果、基準周波数 10 MHz、出力周波数 2.2~2.6 GHz の条件で、4 μ s 以内にロックでき、ロック後の周波数偏差は所望周波数の 0.01% に収まっていた。このことから提案回路は、先行研究の ADPLL と比較して 10 倍以上高速なロックを実現できることを確認した。以上のことから、PLL のロック高速化に対して、時間量子化技術が有効である見通しが得られた。

第7章 結論

本論文では、センサノードを構成するアナログ回路について、低い電源電圧への対応と高機能化を目的とし、時間量子化技術の応用を検討した。章ごとの総括は下記の通りである。

第1章では、はじめに IoT とセンサノードについて述べた。広い範囲での状況監視が必要な用途では、センサネットワークによる情報収集が行われるが、低コスト化のため、小型で低消費電力なセンサノードが必要とされている。センサノードの構成要素である AFE や通信回路はアナログ回路で構成されているため、小型化や低消費電力化が難しい。一方、デジタル回路は CMOS プロセスの微細化と電源電圧の切り下げにより、小型化、高性能化、低消費電力化が実現できる。このため、デジタル回路素子を用いて、電圧ではなく時間を信号として扱う時間領域信号処理技術が注目されている。時間信号は電源電圧の切り下げによる SN 比の劣化が少なく、低消費電力化に有利である。さらにデジタル回路素子を用いるため、プロセス微細化による小型化、高性能化が実現できる。時間領域信号処理技術の中でも時間量子化を行う TDC は、応用の幅が広くセンサ関連回路との親和性も高い。アナログ回路に TDC を組み込むことにより、性能を改善した例は報告されているが、時間量子化を活かした機能を付加する例は少なく、回路の高機能化には余地がある。本研究では、センサノードを構成するアナログ回路について、低い電源電圧への対応に加えて高機能化を実現することを目的とした。具体的なセンサノード要素回路として距離センサ回路、イメージセンサ回路、ADC、PLL について時間量子化技術の応用を検討した。

第2章では、時間量子化技術の核となる回路である TDC の概要、性能指標、構成方式について述べた。TDC は2つのパルスの立ち上り時間差をデジタル値へ変換する回路である。ps 単位の分解能を実現するため、論理ゲートの伝搬遅延時間を利用して構成される。代表的な性能指標として、分解能、ダイナミックレンジ、サンプリングレートが挙げられるが、各性能指標はトレードオフの関係にある。構成方式としては、フラッシュ型、バーニア型、サブレンジング型、サイクリック型、SAR 型、リング発振器型、DLL とカウンタを併用した構成が挙げられるが、それぞれ長短があるため応用先によって使い分ける必要があることを明らかにした。

第3章では、距離センサへの応用について述べた。距離センサは、測定対象へ超音波や光を照射し、その反射時間等をもとに距離を測定するデバイスである。距離センサは、媒体および測定原理により種々の構成方式が存在するが、その中でも ToF 方式の光学式距離センサは優れた性能を有する。ToF 方式では、光の反射時間の測定と量子化に TDC が用いられているが、距離測定の性能向上のため、広ダイナミックレンジ、高分解能、高速な TDC が求められる。本研究では、距離センサに用いる TDC として、小さな回路面積で高分解能と広ダイナミックレンジを実現できるサイクリック型 TDC に着目し、可変遅延回路によりサンプリングレートを高速化できる構成を提案した。Verilog シミュレーションにより提案回

路のシミュレーションを行った結果、分解能 10 ps/LSB 以下で ± 18.7 ns という広いダイナミックレンジを有すること、従来のサイクリック型 TDC よりもサンプリングレートを 70 倍以上高速化できることを確認した。このことから、高分解能かつ高速動作可能な TDC の実現にあたり、サイクリック構成が有効であることを確認した。

第 4 章では、イメージセンサへの応用について述べた。イメージセンサはカメラ内において被写体から受けた光を電気信号へ変換し、画像を得るデバイスである。近年は高解像度化により画素面積が小さくなっていることから、ダイナミックレンジの確保が難しくなっている。ダイナミックレンジの拡大技術として HDR 合成が広く採用されているが、複数回の露光を伴うため、カメラまたは被写体が動いている場合は画像にブレが生じる。そこで本研究では、TDC を用いて PD の飽和時間を検出することにより、複数回露光を行わずにダイナミックレンジを拡大する技術に着目し、これを小さな画素面積で実現できる回路構成の検討を行った。提案回路では、PD 飽和時間を電圧として画素内容量で保持し、露光後に信号読み出しを行う構成とした。提案回路について、シミュレーションにより 100 dB を超える広いダイナミックレンジの実現が期待できることを確認した。さらに、画素のレイアウト設計の結果、先行研究と比較して高い開口率を実現できることを確認した。これらのことから、イメージセンサのダイナミックレンジ拡大に対し、時間量子化技術が有効である見通しが得られた。

第 5 章では、ADC への応用について述べた。ADC は電圧をデジタル値に変換する回路である。光の測定や無線通信など ADC 入力信号の振幅が大きく変動する用途では、ADC のダイナミックレンジを補うため対数アンプにより信号を圧縮することがある。しかし、従来の対数アンプは CMOS プロセスで製造できず、比較的高い電源電圧を必要とする課題があった。そこで本研究ではラッチドコンパレータの過渡応答と TDC を用いて、時間軸上で対数圧縮とアナログ-デジタル変換を行う対数圧縮 ADC を提案した。0.18- μm CMOS プロセスで試作したテストチップを評価した結果、入力電圧の対数に比例した出力コードが得られることを確認した。また、一定以下の入力電圧において ENOB 6-bit の TDC で 12-bit 相当のダイナミックレンジが得られた。よって、時間軸上で対数圧縮とアナログ-デジタル変換を行うことが可能であること、対数圧縮によるダイナミックレンジ拡大効果を確認できた。このことから、対数圧縮による ADC のダイナミックレンジ拡大に対し、時間量子化技術が有効であることを確認した。

第 6 章では、PLL への応用について述べた。PLL はプロセッサ等に供給するクロック信号や通信の搬送波の生成に使用される回路である。従来のアナログ PLL では、電圧で発振器を制御するため、電源電圧が低下すると性能劣化が避けられなかった。また、外付け部品のアナログフィルタが必要なこと、プロセス変更時に設計修正が多いなどの問題があった。この問題に対し、回路の大部分をデジタル回路で構成した ADPLL が提案された。ADPLL では TDC により位相差検出を行い、デジタル値で発振器を制御する。本研究では、回路の

小型化とロックの高速化のためデジタルフィルタを用いない ADPLL の構成を検討した。MATLAB/Simulink により提案回路のシミュレーションを行った結果、先行研究の ADPLL と比較して 10 倍以上高速にロックできることを確認した。このことから、PLL のロック高速化に対して、時間量子化技術が有効である見通しが得られた。

以上のことから、本論文の結論を述べる。センサノードを構成するアナログ回路について、低い電源電圧への対応と高機能化を目的とし、時間量子化技術を応用した回路構成を提案した。いずれの提案回路も、時間領域で量子化を行うことから、電源電圧切り下げによる性能劣化を抑えることができる。また、提案回路について、シミュレーションまたはテストチップを用いた評価により、優れた性能と時間量子化を活かした機能を実現できることを確認した。このことから、アナログ回路に対して時間量子化技術を応用することが有効であり、アナログ回路の低電圧対応に加えて高機能化が可能であると結論付けられる。これにより、センサノードの低消費電力化と高機能化に繋がり、センサネットワークのコスト削減と高機能化が期待できる。

文献

第1章

- [1] 芹澤弘一, 桑原宏超, 魯健, 張嵐, 早瀬仁則, "超小型低消費電力ワイヤレスセンサノードの開発に向けて," 精密工学会学術講演会講演論文集, 2015 年度精密工学会春季大会, pp. 327-328, 2015.
- [2] G. W. Roberts and M. Ali-Bakhshian, "A Brief Introduction to Time-to-Digital and Digital-to-Time Converters," IEEE Transactions on Circuits and Systems II: Express Briefs, Vol. 57, No. 3, pp. 153-157, 2010.
- [3] K. Asada, T. Nakura, T. Iizuka and M. Ikeda, "Time-domain approach for analog circuits in deep sub-micron LSI," IEICE Electronics Express, Vol. 15, No. 6, pp. 1-21, 2018.
- [4] E. Raisanen-Ruotsalainen, T. Rahkonen and J. Kostamovaara, "An integrated time-to-digital converter with 30-ps single-shot precision," IEEE Journal of Solid-State Circuits, Vol. 35, No. 10, pp. 1507-1510, 2000.
- [5] "Infineon REAL3™ image sensor family - 3D depth sensing based on Time-of-Flight," https://www.infineon.com/dgdl/Infineon-REAL3+Image+Sensor+Family-PB-v01_00-EN.PDF?fileId=5546d462518ffd850151a0afc2302a58 (参照日 2019/5/29)
- [6] Y. Chen, K. Chang and C. Hsieh, "A 2.02–5.16 fJ/Conversion Step 10 Bit Hybrid Coarse-Fine SAR ADC With Time-Domain Quantizer in 90 nm CMOS," IEEE Journal of Solid-State Circuits, Vol. 51, No. 2, pp. 357-364, 2016.
- [7] M. Shin, M. Ikebe, J. Motohisa and E. Sano, "Column parallel single-slope ADC with time to digital converter for CMOS imager," 2010 17th IEEE International Conference on Electronics, Circuits and Systems, pp. 863-866, 2010.
- [8] R. B. Staszewski, S. Vemulapalli, P. Vallur, J. Wallberg and P. T. Balsara, "1.3 V 20 ps time-to-digital converter for frequency synthesis in 90-nm CMOS," IEEE Transactions on Circuits and Systems II: Express Briefs, Vol. 53, No. 3, pp. 220-224, 2006.
- [9] "総務省 令和元年版 情報通信白書 IoT デバイスの急速な普及," <http://www.soumu.go.jp/johotsusintokei/whitepaper/ja/r01/html/nd112120.html> (参照日 2019/10/9)
- [10] 電気学会 第2次 M2M 技術調査専門委員会, "M2M/IoT システム入門," 森北出版, 2016.
- [11] R. H. Dennard, F. H. Gaensslen, V. L. Rideout, E. Bassous and A. R. LeBlanc, "Design of ion-implanted MOSFET's with very small physical dimensions," IEEE Journal of Solid-State Circuits, Vol. 9, No. 5, pp. 256-268, 1974.
- [12] "International Roadmap for Devices and Systems (IRDS™) 2017 Edition," <https://irds.ieee.org/roadmap-2017> (参照日 2019/3/6)
- [13] "International Technology Roadmap for Semiconductors,"

- <http://www.itrs2.net/itrs-reports.html> (参照日 2019/3/6)
- [14] S. Mitra and A. N. Chandorkar, "Design of amplifier with rail-to-rail CMR with 1 V power supply," 17th International Conference on VLSI Design. Proceedings., pp. 52-56, 2004.
- [15] B. Murmann, "Digitally Assisted Analog Circuits," IEEE Micro, Vol. 26, No. 2, pp. 38-47, 2006.
- [16] C. Legrele and J. C. Lugol, "A One Nanosecond Resolution Time-to-Digital Converter," IEEE Transactions on Nuclear Science, Vol. 30, No. 1, pp. 297-300, 1983.
- [17] Y. Arai and T. Baba, "A CMOS time to digital converter VLSI for high-energy physics," Symposium 1988 on VLSI Circuits, pp. 121-122, 1988.
- [18] "Lidar - Laser Bear Honeycomb - Waymo," <https://waymo.com/lidar/> (参照日 2019/3/14)
- [19] "トヨタ自動車、Toyota Research Institute, Inc.における自動運転技術等に関する開発の進捗状況を公表 - トヨタ自動車," <https://global.toyota/jp/detail/18782117> (参照日 2019/3/14)
- [20] "Uber's use of fewer safety sensors prompts questions after Arizona crash - Reuters," <https://www.reuters.com/article/us-uber-selfdriving-sensors-insight/ubers-use-of-fewer-safety-sensors-prompts-questions-after-arizona-crash-idUSKBN1H337Q> (参照日 2019/3/14)
- [21] "TI Designs - LIDAR Pulsed Time of Flight Reference Design (Rev. B)," <http://www.ti.com/litv/pdf/tiducm1b> (参照日 2019/3/14)
- [22] A. Mantyniemi, T. Rahkonen and J. Kostamovaara, "A CMOS Time-to-Digital Converter (TDC) Based On a Cyclic Time Domain Successive Approximation Interpolation Method," IEEE Journal of Solid-State Circuits, Vol. 44, No. 11, pp. 3067-3078, 2009.
- [23] M. Lee and A. A. Abidi, "A 9 b, 1.25 ps Resolution Coarse-Fine Time-to-Digital Converter in 90 nm CMOS that Amplifies a Time Residue," IEEE Journal of Solid-State Circuits, Vol. 43, No. 4, pp. 769-777, 2008.
- [24] H. Shih, S. Lin and P. Liao, "An 80x Analog-Implemented Time-Difference Amplifier for Delay-Line-Based Coarse-Fine Time-to-Digital Converters in 0.18- μ m CMOS," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 23, No. 8, pp. 1528-1533, 2015.
- [25] R. B. Staszewski et al., "All-digital TX frequency synthesizer and discrete-time receiver for Bluetooth radio in 130-nm CMOS," IEEE Journal of Solid-State Circuits, Vol. 39, No. 12, pp. 2278-2291, 2004.
- [26] 阿部恵一, 水野忠則, 峰野博史, "周期的センシングアプリケーション向け省電力無線

センサノードの開発,” 情報処理学会論文誌 コンシューマ・デバイス&システム, Vol. 2, No. 1, pp. 48-57, 2012.

第2章

- [1] C. Lin, T. Chien and C. Wey, "A 5.5-GHz 1-mW Full-Modulus-Range Programmable Frequency Divider in 90-nm CMOS Process," IEEE Transactions on Circuits and Systems II: Express Briefs, Vol. 58, No. 9, pp. 550-554, 2011.
- [2] "INL/DNL Measurements for High-Speed Analog-to-Digital Converters (ADCs)," <https://www.maximintegrated.com/en/app-notes/index.mvp/id/283>
(参照日 2019/5/29)
- [3] B. Murmann, "Digitally Assisted Analog Circuits," IEEE Micro, Vol. 26, No. 2, pp. 38-47, 2006.
- [4] J. Borremans, K. Vengattaramane, V. Giannini, B. Debaillie, W. Van Thillo and J. Craninckx, "A 86 MHz–12 GHz Digital-Intensive PLL for Software-Defined Radios, Using a 6 fJ/Step TDC in 40 nm Digital CMOS," IEEE Journal of Solid-State Circuits, Vol. 45, No. 10, pp. 2116-2129, 2010.
- [5] H. Chung, H. Ishikuro and T. Kuroda, "A 10-Bit 80-MS/s Decision-Select Successive Approximation TDC in 65-nm CMOS," IEEE Journal of Solid-State Circuits, Vol. 47, No. 5, pp. 1232-1241, 2012.
- [6] Y. Kim and T. W. Kim, "An 11 b 7 ps Resolution Two-Step Time-to-Digital Converter With 3-D Vernier Space," IEEE Transactions on Circuits and Systems I: Regular Papers, Vol. 61, No. 8, pp. 2326-2336, 2014.
- [7] J. Kim, Y. Kim, K. Kim, W. Yu and S. Cho, "A Hybrid-Domain Two-Step Time-to-Digital Converter Using a Switch-Based Time-to-Voltage Converter and SAR ADC," IEEE Transactions on Circuits and Systems II: Express Briefs, Vol. 62, No. 7, pp. 631-635, 2015.
- [8] N. Roy, F. Nolet, F. Dubois, M. Mercier, R. Fontaine and J. Pratte, "Low Power and Small Area, 6.9 ps RMS Time-to-Digital Converter for 3-D Digital SiPM," IEEE Transactions on Radiation and Plasma Medical Sciences, Vol. 1, No. 6, pp. 486-494, 2017.
- [9] J. Jansson, P. Keränen, J. Kostamovaara and A. Baschiroto, "CMOS technology scaling advantages in time domain signal processing," 2017 IEEE International Instrumentation and Measurement Technology Conference (I2MTC), pp. 1-5, 2017.
- [10] M. Lee and A. A. Abidi, "A 9 b, 1.25 ps Resolution Coarse–Fine Time-to-Digital Converter in 90 nm CMOS that Amplifies a Time Residue," IEEE Journal of Solid-State Circuits, Vol. 43, No. 4, pp. 769-777, 2008.

- [11] Y. Cao, W. De Cock, M. Steyaert and P. Leroux, "Design and Assessment of a 6 ps-Resolution Time-to-Digital Converter With 5 MGy Gamma-Dose Tolerance for LIDAR Application," *IEEE Transactions on Nuclear Science*, Vol. 59, No. 4, pp. 1382-1389, 2012.
- [12] B. Markovic, S. Tisa, F. A. Villa, A. Tosi and F. Zappa, "A High-Linearity, 17 ps Precision Time-to-Digital Converter Based on a Single-Stage Vernier Delay Loop Fine Interpolation," *IEEE Transactions on Circuits and Systems I: Regular Papers*, Vol. 60, No. 3, pp. 557-569, 2013.
- [13] A. Mantyniemi, T. Rahkonen and J. Kostamovaara, "A CMOS Time-to-Digital Converter (TDC) Based On a Cyclic Time Domain Successive Approximation Interpolation Method," *IEEE Journal of Solid-State Circuits*, Vol. 44, No. 11, pp. 3067-3078, 2009.
- [14] M. Z. Straayer and M. H. Perrott, "A Multi-Path Gated Ring Oscillator TDC With First-Order Noise Shaping," *IEEE Journal of Solid-State Circuits*, Vol. 44, No. 4, pp. 1089-1098, 2009.
- [15] J.-P. Jansson, A. Mantyniemi and J. Kostamovaara, "A CMOS time-to-digital converter with better than 10 ps single-shot precision," *IEEE Journal of Solid-State Circuits*, Vol. 41, No. 6, pp. 1286-1296, 2006.
- [16] N. U. Andersson and M. Vesterbacka, "A Vernier Time-to-Digital Converter With Delay Latch Chain Architecture," *IEEE Transactions on Circuits and Systems II: Express Briefs*, Vol. 61, No. 10, pp. 773-777, 2014.
- [17] C. Legrele and J. C. Lugol, "A One Nanosecond Resolution Time-to-Digital Converter," *IEEE Transactions on Nuclear Science*, Vol. 30, No. 1, pp. 297-300, 1983.
- [18] Y. Arai and T. Baba, "A CMOS time to digital converter VLSI for high-energy physics," *Symposium 1988 on VLSI Circuits*, pp. 121-122, 1988.
- [19] K. Karadamoglou, N. Paschalidis, N. Stamatopoulos, G. Kottaras, V. Paschalidis and E. Sarris, "A CMOS time to digital converter for space science instruments," *Proceedings of the 28th European Solid-State Circuits Conference*, pp. 707-710, 2002.
- [20] K. Karadamoglou, N. P. Paschalidis, E. Sarris, N. Stamatopoulos, G. Kottaras and V. Paschalidis, "An 11-bit high-resolution and adjustable-range CMOS time-to-digital converter for space science instruments," *IEEE Journal of Solid-State Circuits*, Vol. 39, No. 1, pp. 214-222, 2004.
- [21] B. K. Swann et al., "A 100-ps time-resolution CMOS time-to-digital converter for positron emission tomography imaging applications," *IEEE Journal of Solid-State Circuits*, Vol. 39, No. 11, pp. 1839-1852, 2004.
- [22] J. Rivoir, "Fully-Digital Time-To-Digital Converter for ATE with Autonomous

- Calibration," 2006 IEEE International Test Conference, pp. 1-10, 2006.
- [23] E. Raisanen-Ruotsalainen, T. Rahkonen and J. Kostamovaara, "An integrated time-to-digital converter with 30-ps single-shot precision," IEEE Journal of Solid-State Circuits, Vol. 35, No. 10, pp. 1507-1510, 2000.
- [24] "TI Designs - LIDAR Pulsed Time of Flight Reference Design,"
<http://www.ti.com/lit/ug/tiducm1b/tiducm1b.pdf> (参照日 2019/5/29)
- [25] K. Yoshioka et al., "A 20-ch TDC/ADC Hybrid Architecture LiDAR SoC for 240×96 Pixel 200-m Range Imaging With Smart Accumulation Technique and Residue Quantizing SAR ADC," IEEE Journal of Solid-State Circuits, Vol. 53, No. 11, pp. 3026-3038, 2018.
- [26] "Infineon REAL3™ image sensor family - 3D depth sensing based on Time-of-Flight,"
https://www.infineon.com/dgdl/Infineon-REAL3+Image+Sensor+Family-PB-v01_00-EN.PDF?fileId=5546d462518ffd850151a0afc2302a58 (参照日 2019/5/29)
- [27] F. Villa et al., "CMOS Imager With 1024 SPADs and TDCs for Single-Photon Timing and 3-D Time-of-Flight," IEEE Journal of Selected Topics in Quantum Electronics, Vol. 20, No. 6, pp. 364-373, 2014.
- [28] R. B. Staszewski, S. Vemulapalli, P. Vallur, J. Wallberg and P. T. Balsara, "1.3 V 20 ps time-to-digital converter for frequency synthesis in 90-nm CMOS," IEEE Transactions on Circuits and Systems II: Express Briefs, Vol. 53, No. 3, pp. 220-224, 2006.
- [29] D. Uchida, M. Ikebe, J. Motohisa and E. Sano, "Low-Power Single-Slope Analog-to-Digital Converter with Intermittently Working Time-to-Digital Converter," Journal of Signal Processing, Vol. 19, No. 6, pp. 219-226, 2015.
- [30] D. Levski, M. Wány and B. Choubey, "A 1- μ s Ramp Time 12-bit Column-Parallel Flash TDC-Interpolated Single-Slope ADC With Digital Delay-Element Calibration," IEEE Transactions on Circuits and Systems I: Regular Papers, Vol. 66, No. 1, pp. 54-67, 2019.

第3章

- [1] "距離センサまるわかりガイド-距離センサの基礎知識 - オプティックス・エフエー,"
https://www.optex-fa.jp/tech_guide/dst_guide/ (参照日 2019/10/14)
- [2] "レベルセンサの原理と構造 レーザ式レベルセンサ - キーエンス," <https://www.keyence.co.jp/ss/products/process/levelsensor/type/laser.jsp> (参照日 2019/10/11)
- [3] "ソニーがToFセンサー来年量産へ、スマホの3Dカメラ需要狙う - Bloomberg,"
<https://www.bloomberg.co.jp/news/articles/2018-12-27/PKDFXB6JIJUQ01>
(参照日 2019/10/14)
- [4] "自動運転時代に向けて急成長が期待される車載LiDAR市場 - Yole,"
<https://news.mynavi.jp/article/20190412-807275/> (参照日 2019/10/14)

-
- [5] “超音波センサの原理と特長 - マクニカ,” https://www.macnica.co.jp/business/semiconductor/articles/texas_instruments/127285/ (参照日 2019/10/14)
- [6] 小川勝, 夏目一馬, “車載ミリ波レーダの開発,” 電子情報通信学会 通信ソサイエティ マガジン, No. 47 冬号, pp. 254-241, 2018.
- [7] “ミリ波帯の電波を用いたレーダの現状と今後 - 富士通,” http://www.soumu.go.jp/main_sosiki/joho_tsusin/policyreports/joho_tsusin/uwb_wlsystem/pdf/061226_1_si6.pdf (参照日 2019/10/14)
- [8] 端俊一, “距離・位置・速度の超音波計測”, 農業機械学会誌, Vol. 59, No. 2, pp. 101-104, 1997.
- [9] “村田製作所 MA40S4R 空中超音波センサ,” <https://www.murata.com/ja-jp/products/productdetail?partno=MA40S4R> (参照日 2019/10/11)
- [10] 山脇俊樹, 山野真市, 加藤木豊, “障害物検知用ミリ波レーダ装置,” 富士通テン技報, Vol. 18, No. 1, pp.10-21, 2000.
- [11] 川人祥二, “CMOS 光飛行時間型距離画像センサー,” 光学, Vol.41, No.5, pp. 262-268, 2012.
- [12] C. Niclass, A. Rochas, P. Besse and E. Charbon, “Design and characterization of a CMOS 3-D image sensor based on single photon avalanche diodes,” IEEE Journal of Solid-State Circuits, Vol. 40, No. 9, pp. 1847-1854, 2005.
- [13] “広範囲での三次元距離計測を実現する 3D LiDAR (ライダー) を開発 - Panasonic,” <https://news.panasonic.com/jp/press/data/2017/09/jn170911-1/jn170911-1.html> (参照日 2019/10/21)
- [14] 稲垣雄志, 松谷康之, “可変遅延回路を用いたサイクリック型 TDC,” 電気学会論文誌 C, Vol. 138, No. 1, pp. 10-17, 2018.
- [15] A. Mantyniemi, T. Rahkonen and J. Kostamovaara, “A CMOS Time-to-Digital Converter (TDC) Based On a Cyclic Time Domain Successive Approximation Interpolation Method,” IEEE Journal of Solid-State Circuits, Vol. 44, No. 11, pp. 3067-3078, 2009.
- [16] Y. Seo, J. Kim, H. Park and J. Sim, “A 1.25 ps Resolution 8b Cyclic TDC in 0.13 μ m CMOS,” IEEE Journal of Solid-State Circuits, Vol. 47, No. 3, pp. 736-743, 2012.
- [17] T. Chujo, D. Hirabayashi, T. Arafune, S. Shibuya, S. Sasaki, H. Kobayashi, M. Tsuji, R. Shiota, M. Watanabe, N. Dobashi, S. Umeda, H. Nakamura and K. Sato, “Timing measurement BOST with multi-bit delta-sigma TDC,” 2015 IEEE 20th International Mixed-Signals Testing Workshop (IMSTW), pp. 1-6, 2015.
- [18] B. Markovic, S. Tisa, F. A. Villa, A. Tosi and F. Zappa, “A High-Linearity, 17 ps Precision Time-to-Digital Converter Based on a Single-Stage Vernier Delay Loop Fine Interpolation,” IEEE Transactions on Circuits and Systems I: Regular Papers, Vol. 60,

No. 3, pp. 557-569, 2013.

第4章

- [1] “CMOS 市場が CCD 逆転 携帯カメラがけん引 - ITmedia,” <https://www.itmedia.co.jp/news/articles/0506/10/news104.html> (参照日 2019/8/16)
- [2] “CCD から CMOS へ～変わる携帯カメラ - ITmedia,” <https://www.itmedia.co.jp/mobile/articles/0408/05/news052.html> (参照日 2019/8/16)
- [3] “CCD vs CMOS - Teledyne DALSA,” <https://www.teledynedalsa.com/en/learn/knowledge-center/ccd-vs-cmos/> (参照日 2019/8/16)
- [4] E. R. Fossum and D. B. Hondongwa, "A Review of the Pinned Photodiode for CCD and CMOS Image Sensors," IEEE Journal of the Electron Devices Society, Vol. 2, No. 3, pp. 33-43, 2014.
- [5] Shin Iwabuchi, Y. Maruyama, Y. Ohgishi, M. Muramatsu, N. Karasawa and T. Hirayama, "A Back-Illuminated High-Sensitivity Small-Pixel Color CMOS Image Sensor with Flexible Layout of Metal Wiring," 2006 IEEE International Solid State Circuits Conference - Digest of Technical Papers, pp. 1171-1178, 2006.
- [6] S. Sukegawa et al., "A 1/4-inch 8Mpixel back-illuminated stacked CMOS image sensor," 2013 IEEE International Solid-State Circuits Conference Digest of Technical Papers, pp. 484-485, 2013.
- [7] H. Takahashi et al., "A 3.9- μm pixel pitch VGA format 10-b digital output CMOS image sensor with 1.5 transistor/pixel," IEEE Journal of Solid-State Circuits, Vol. 39, No. 12, pp. 2417-2425, 2004.
- [8] M. Mase, S. Kawahito, M. Sasaki, Y. Wakamori and M. Furuta, "A wide dynamic range CMOS image sensor with multiple exposure-time signal outputs and 12-bit column-parallel cyclic A/D converters," IEEE Journal of Solid-State Circuits, Vol. 40, No. 12, pp. 2787-2795, 2005.
- [9] 須川成利, “CMOS イメージセンサにおける高速化技術の動向,” 映像情報メディア学会誌, Vol. 66, No. 3, pp. 174-177, 2012.
- [10] 角博文, 奈良部忠邦, 齊藤新一郎, “CMOS イメージセンサの高画質化,” 電子情報通信学会 基礎・境界ソサイエティ Fundamentals Review, Vol. 3, No. 3, pp. 44-51, 2009.
- [11] 角南英夫, 川人祥二 編著, “半導体デバイスシリーズ 2 メモリデバイス・イメージセンサ,” 丸善, 2009.
- [12] Shoji KAWAHITO, “Column-Parallel ADCs for CMOS Image Sensors and Their FoM-Based Evaluations,” IEICE Transactions on Electronics, Vol. E101.C, No. 7, pp. 444-456, 2018.
- [13] “Sony IMX174LLJ/IMX174LQJ,” <https://www.sony-semicon.co.jp/products/common>

- /pdf/IMX174LQJ_LLJ_Flyer.pdf (参照日 2019/10/30)
- [14] “ON Semiconductor AR0331,”
<https://www.onsemi.jp/pub/Collateral/AR0331-D.PDF> (参照日 2019/8/26)
- [15] S. Takahashi et al., “A 45 nm Stacked CMOS Image Sensor Process Technology for Submicron Pixel,” *Sensors*, Vol. 17, No. 12, p. 2816, 2017.
- [16] “ α (TM) 史上最高の解像性能と階調性を実現、有効約 6100 万画素フルサイズミラーレス一眼カメラ『 α 7R IV』発売 - ソニー,” <https://www.sony.jp/CorporateCruise/Press/201907/19-0717/> (参照日 2019/8/27)
- [17] “業界最多有効 4800 万画素のスマートフォン向け積層型 CMOS イメージセンサーを商品化 - ソニー,” <https://www.sony.co.jp/SonyInfo/News/Press/201807/18-060/> (参照日 2019/8/27)
- [18] “業界初、DRAM を積層した 3 層構造のスマートフォン向け CMOS イメージセンサーを開発 - ソニー,” <https://www.sony.co.jp/SonyInfo/News/Press/201702/17-013/> (参照日 2019/8/27)
- [19] “Imperx CMOS Cameras,”
<https://www.imperx.com/cmos-cameras/> (参照日 2019/8/27)
- [20] “業界最多有効 540 万画素 HDR 撮影と LED フリッカー抑制を同時実現 車載向け CMOS イメージセンサー商品化 - ソニー,” <https://www.sony.co.jp/SonyInfo/News/Press/201812/18-098/> (参照日 2019/8/27)
- [21] “Sony IMX571BQR,” https://www.sony-semicon.co.jp/products/common/pdf/IMX571BQR-J_Flyer.pdf (参照日 2019/10/30)
- [22] 黒田隆男, “イメージセンサの本質と基礎,” コロナ社, 2012.
- [23] “電子情報通信学会知識ベース 8 群-4 編-1 章,”
http://www.ieice-hbkb.org/files/08/08gun_04hen_01-02.pdf (参照日 2019/8/28)
- [24] “SONY CMOS IMX174 and its little brother IMX249,” <https://www.framos.com/en/news/sony-cmos-imx174-and-its-little-brother-imx249> (参照日 2019/8/28)
- [25] “Xperia Z3 の 4K 動画撮影時間の限界は？ 分解モデルでわかった放熱設計 - 週刊アスキー,” <https://weekly.ascii.jp/elem/000/000/270/270733/> (参照日 2019/8/28)
- [26] J. P. Crooks et al., “A CMOS Image Sensor With In-Pixel ADC, Timestamp, and Sparse Readout,” *IEEE Sensors Journal*, Vol. 9, No. 1, pp. 20-28, 2009.
- [27] T. Toyama et al., “A 17.7Mpixel 120fps CMOS image sensor with 34.8Gb/s readout,” 2011 IEEE International Solid-State Circuits Conference, pp. 420-422, 2011.
- [28] J. A. Leñero-Bardallo, R. Carmona-Galán and Á. Rodríguez-Vázquez, “A Wide Linear Dynamic Range Image Sensor Based on Asynchronous Self-Reset and Tagging of Saturation Events,” *IEEE Journal of Solid-State Circuits*, Vol. 52, No. 6, pp. 1605-1617, 2017.

-
- [29] C. Shoushun and A. Bermak, "Arbitrated Time-to-First Spike CMOS Image Sensor With On-Chip Histogram Equalization," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, Vol. 15, No. 3, pp. 346-357, 2007.
- [30] V. Brajovic and T. Kanade, "A VLSI sorting image sensor: global massively parallel intensity-to-time processing for low-latency adaptive vision," *IEEE Transactions on Robotics and Automation*, Vol. 15, No. 1, pp. 67-75, 1999.

第5章

- [1] "Maxim MAX6884/MAX6885 Data Sheet," <https://datasheets.maximintegrated.com/en/ds/MAX6884-MAX6885.pdf> (参照日 2019/7/11)
- [2] S. Kiran, S. Cai, Y. Luo, S. Hoyos and S. Palermo, "A 52-Gb/s ADC-Based PAM-4 Receiver With Comparator-Assisted 2-bit/Stage SAR ADC and Partially Unrolled DFE in 65-nm CMOS," *IEEE Journal of Solid-State Circuits*, Vol. 54, No. 3, pp. 659-671, 2019.
- [3] B. Murmann, "Digitally Assisted Analog Circuits," *IEEE Micro*, Vol. 26, No. 2, pp. 38-47, 2006.
- [4] Y. Chen, K. Chang and C. Hsieh, "A 2.02–5.16 fJ/Conversion Step 10 Bit Hybrid Coarse-Fine SAR ADC With Time-Domain Quantizer in 90 nm CMOS," *IEEE Journal of Solid-State Circuits*, Vol. 51, No. 2, pp. 357-364, 2016.
- [5] M. Shin, M. Ikebe, J. Motohisa and E. Sano, "Column parallel single-slope ADC with time to digital converter for CMOS imager," 2010 17th IEEE International Conference on Electronics, Circuits and Systems, pp. 863-866, 2010.
- [6] T. Takahashi et al., "A digital CDS scheme on fully column-inline TDC architecture for an APS-C format CMOS image sensor," 2011 Symposium on VLSI Circuits - Digest of Technical Papers, pp. 90-91, 2011.
- [7] "A Simple ADC Comparison Matrix - Maxim," <https://pdfserv.maximintegrated.com/en/an/AN2094.pdf> (参照日 2019/7/16)
- [8] "Pipeline ADCs Come of Age - Maxim," <https://pdfserv.maximintegrated.com/en/an/AN634.pdf> (参照日 2019/7/16)
- [9] T. Lyu, S. Yao, K. Nie, and J. Xu, "A 12-Bit High-Speed Column-Parallel Two-Step Single-Slope Analog-to-Digital Converter (ADC) for CMOS Image Sensors," *Sensors*, Vol. 14, No. 11, pp. 21603-21625, 2014.
- [10] "Renesas RL78 Family Microcontrollers Brochure," <https://www.renesas.com/us/en/doc/products/mpumcu/doc/rl78/r01cp0003ej0900-rl78.pdf> (参照日 2019/7/18)
- [11] "Microchip PIC24FJ128GA310 Family Data Sheet," <http://ww1.microchip.com/downloads/en/DeviceDoc/30009996g.pdf> (参照日 2019/7/18)

-
- [12] “Kinetis® M Series: Metrology Microcontrollers (MCUs) based on Arm® Cortex®-M0+ Core - NXP,” https://www.nxp.com/products/processors-and-microcontrollers/arm-based-processors-and-mcus/general-purpose-mcus/km-series-cortex-m0-plus:KINETIS_M_SERIES (参照日 2019/7/18)
- [13] S. Kawahito, “Column-Parallel ADCs for CMOS Image Sensors and Their FoM-Based Evaluations,” *IEICE Transactions on Electronics*, Vol. E101.C, No. 7, pp. 444-456, 2018.
- [14] “Integrated DC Logarithmic Amplifiers - Maxim,” <https://pdfserv.maximintegrated.com/en/an/AN3611.pdf> (参照日 2019/7/26)
- [15] Ji-Jon Sit and R. Sarpeshkar, “A micropower logarithmic A/D with offset and temperature compensation,” *IEEE Journal of Solid-State Circuits*, Vol. 39, No. 2, pp. 308-319, 2004.
- [16] A. Basu, R. Robucci and P. Hasler, “A Low-Power, Compact, Adaptive Logarithmic Transimpedance Amplifier Operating over Seven Decades of Current,” 2007 IEEE International Symposium on Circuits and Systems, pp. 3055-3058, 2007.
- [17] M. Gu and S. Chakrabartty, “Design of a Programmable Gain, Temperature Compensated Current-Input Current-Output CMOS Logarithmic Amplifier,” *IEEE Transactions on Biomedical Circuits and Systems*, Vol. 8, No. 3, pp. 423-431, 2014.
- [18] J. Kwon et al., “A two-step 5b logarithmic ADC with minimum step-size of 0.1% full-scale for MLC phase-change memory readout,” *Proceedings of the IEEE 2014 Custom Integrated Circuits Conference*, pp. 1-4, 2014.
- [19] D. Kim and M. Song, “An Enhanced Dynamic-Range CMOS Image Sensor Using a Digital Logarithmic Single-Slope ADC,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, Vol. 59, No. 10, pp. 653-657, 2012.
- [20] J. Lee et al., “A 2.5 mW 80 dB DR 36 dB SNDR 22 MS/s Logarithmic Pipeline ADC,” *IEEE Journal of Solid-State Circuits*, Vol. 44, No. 10, pp. 2755-2765, 2009.
- [21] 稲垣雄志, 松谷康之, “ラッチドコンパレータの過渡応答を用いた対数圧縮 ADC の評価,” *電子情報通信学会論文誌 A*, Vol. J102-A, No. 12, pp. 310-313, 2019.
- [22] P. E. Allen and D. R. Holberg, “*CMOS Analog Circuit Design (Second Edition)*,” Oxford University Press, 2002.
- [23] M. Lee and A. A. Abidi, “A 9 b, 1.25 ps Resolution Coarse-Fine Time-to-Digital Converter in 90 nm CMOS that Amplifies a Time Residue,” *IEEE Journal of Solid-State Circuits*, Vol. 43, No. 4, pp. 769-777, 2008.

第6章

- [1] J. Howard et al., “A 48-Core IA-32 Processor in 45 nm CMOS Using On-Die Message-Passing and DVFS for Performance and Power Scaling,” *IEEE Journal of Solid-State*

- Circuits, Vol. 46, No. 1, pp. 173-183, 2011.
- [2] R. B. Staszewski et al., "All-digital TX frequency synthesizer and discrete-time receiver for Bluetooth radio in 130-nm CMOS," *IEEE Journal of Solid-State Circuits*, Vol. 39, No. 12, pp. 2278-2291, 2004.
- [3] M. Ismail and Delia R. de Llera González, "Radio Design in Nanometer Technologies," Springer, 2007.
- [4] "TI Application Report - AN-1879 Fractional N Frequency Synthesis," <http://www.ti.com/lit/an/snaa062a/snaa062a.pdf> (参照日 2019/6/3)
- [5] K. Shen et al., "A Flexible, Low-Power Analog PLL for SoC and Processors in 14nm CMOS," *IEEE Transactions on Circuits and Systems I: Regular Papers*, Vol. 65, No. 7, pp. 2109-2117, 2018.
- [6] J. Wadekar, B. Chattopadhyay, R. Mehta and G. Nayak, "A 0.5-4GHz Programmable-Bandwidth Fractional-N PLL for Multi-protocol SERDES in 28nm CMOS," 2016 29th International Conference on VLSI Design and 2016 15th International Conference on Embedded Systems (VLSID), pp. 236-239, 2016.
- [7] S. Ek et al., "A 28-nm FD-SOI 115-fs Jitter PLL-Based LO System for 24-30-GHz Sliding-IF 5G Transceivers," *IEEE Journal of Solid-State Circuits*, Vol. 53, No. 7, pp. 1988-2000, 2018.
- [8] J. Ihm, "Stability Analysis of Bang-Bang Phase-Locked Loops for Clock and Data Recovery Systems," *IEEE Transactions on Circuits and Systems II: Express Briefs*, Vol. 60, No. 1, pp. 1-5, 2013.
- [9] P. Hasan, "PLL FM demodulator performance under Gaussian modulation," *IEEE Transactions on Communications*, Vol. 46, No. 4, pp. 437-440, April 1998.
- [10] 稲垣雄志, 松谷康之, "固定小数点カウンタと TDC を用いた全デジタル PLL の提案," *電子情報通信学会論文誌 A*, Vol. J93-A, No. 4, pp. 335-337, 2010.
- [11] 遠坂俊昭, "PLL 回路の設計と応用", CQ 出版社, 2003.
- [12] "水晶発振器と Si-MEMS 発振器との特性比較 - セイコーエプソン," https://www5.epsondevice.com/ja/information/technical_info/pdf/white_paperj140911.pdf (参照日 2019/9/30)
- [13] 平佐利樹, 稲垣雄志, 松谷康之, "基準周波数偏差を補正可能な周波数逡倍手法の提案," *電気学会論文誌 C*, No. 139, Vol. 1, pp. 89-90, 2019.
- [14] B. Razavi, "Design of Analog CMOS Integrated Circuit," McGraw-Hill Companies, 2001.

謝辞

本研究の遂行ならびに本論文をまとめるにあたり、青山学院大学工学部の松谷康之教授には学生時代より研究の進め方、論文のまとめ方、回路設計手法など多岐にわたり丁寧なご指導とご助言を賜りましたことを深く感謝いたします。

青山学院大学工学部の橋本修教授、野澤昭雄教授ならびに東京都市大学工学部の傘昊准教授にはご多忙の中、本論文の構成や内容に関して貴重なご助言を賜りましたことを深く感謝いたします。

芝浦工業大学システム工学部の井岡恵理助教（元青山学院大学工学部助教）には、本研究ならびに設計環境構築に関してご指導とご助言を賜りましたことを深く感謝いたします。

Apple Japan 合同会社の竹内正浩氏（元ルネサス エレクトロニクス株式会社）には、ルネサス エレクトロニクス在籍中にデジタル回路設計に関する多大なご指導を賜りましたことを深く感謝いたします。また、回路設計ならびにテストチップ評価に関してご指導を賜りましたルネサス エレクトロニクス株式会社 旧高速 IF-PHY 開発部の皆様にも感謝いたします。

研究に関する幾多の有益な議論ならびに情報共有を交わしました青山学院大学工学部電気電子工学科 松谷研究室の先輩、同期、後輩の皆様には感謝いたします。

本研究は東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社、シノプシス株式会社、メンター株式会社の協力で行われたものである。また、チップ試作は東京大学大規模集積システム設計教育研究センターを通しローム(株)および凸版印刷(株)の協力で行われたものである。

最後に、これまで育ててくれた両親と支えてくれた妻 歩に心から感謝します。

研究業績

本研究に関する業績

学術論文（査読あり）

- (1) 稲垣雄志, 松谷康之, “固定小数点カウンタと TDC を用いた全デジタル PLL の提案,” 電子情報通信学会論文誌 A, vol. J93-A, no. 4, pp. 335-337, 2010.
- (2) Y. Inagaki, Y. Sugimori, E. Ioka and Y. Matsuya, “A Logarithmic Compression ADC using Transient Response of a Comparator,” IEICE Transactions on Electronics, vol. E100-C, no. 4, pp. 359-362, 2017.
- (3) 稲垣雄志, 松谷康之, “可変遅延回路を用いたサイクリック型 TDC,” 電気学会論文誌 C, vol. 138, no. 1, pp. 10-17, 2018.
- (4) 平佐利樹, 稲垣雄志, 松谷康之, “基準周波数偏差を補正可能な周波数逓倍手法の提案,” 電気学会論文誌 C, vol. 139, no. 1, pp. 89-90, 2019.
- (5) 稲垣雄志, 松谷康之, “ラッチドコンパレータの過渡応答を用いた対数圧縮 ADC の評価,” 電子情報通信学会論文誌 A, vol. J102-A, no. 12, pp. 310-313, 2019.
- (6) Y. Inagaki and Y. Matsuya, “A High Dynamic Range CMOS Image Sensor with Column-Parallel ADC and Timing Detection of Photodiode Saturation,” IEEJ Transactions on Electrical and Electronic Engineering. (投稿中, 2019 年 1 月投稿)

国際会議（査読あり）

- (1) Y. Inagaki and Y. Matsuya, “A Study of a CMOS Image Sensor with Pixel-parallel ADC and Timestamp Detection,” Proceedings of the 31st Workshop on Circuits and Systems, pp. 283-285, 2018.
- (2) Y. Inagaki and Y. Matsuya, “A Study of a High Dynamic Range CMOS Image Sensor with Timing Detection of Pixel Saturation,” Proceedings of the 2018 International Conference on Analog VLSI Circuits (AVIC), pp. 85-88, 2018.

国内学会および研究会

- (1) 稲垣雄志, 松谷康之, “スプリアスのない分数分周方式全デジタル PLL,” 平成 20 年度電子情報通信学会東京支部学生会研究発表会, p.9, 2009.
- (2) 稲垣雄志, 松谷康之, “全デジタル PLL 用位相検出器の一検討,” 電子情報通信学会 2009 年ソサイエティ大会講演論文集, p. 23, 2009.
- (3) 渡辺菜津美, 稲垣雄志, 松谷康之, “単調性を有する TDC 回路の検討,” 電子情報通信学会 2009 年ソサイエティ大会講演論文集, p.24, 2009.
- (4) 稲垣雄志, 松谷康之, “TDC を用いない全デジタル PLL の検討,” 第 23 回 回路とシステム軽井沢ワークショップ 論文集, pp. 62-66, 2010. (査読あり)

- (5) 稲垣雄志, 松谷康之, “サイクリック型 TDC の検討,” 電気学会研究会資料 電子回路研究会, ECT-16-079, 2016.
- (6) 神戸友毅, 稲垣雄志, 井岡恵理, 松谷康之, “ $\Delta \Sigma$ 変調を適応した TDC の検討,” 電子情報通信学会 2017 年総合大会講演論文集, A-1-12, 2017.
- (7) 稲垣雄志, 松谷康之, “コンパレータの過渡応答を用いた対数圧縮 ADC の評価,” 電気学会研究会資料 電子回路研究会, ECT-17-107, 2017.
- (8) 平佐利樹, 稲垣雄志, 松谷康之, “周波数通倍器の基準周波数補正機構の検討,” 電気学会研究会資料 電子回路研究会, ECT-018-014, 2018.
- (9) 三輪周平, 稲垣雄志, 松谷康之, “リング発振器を用いた TDC のしきい値ばらつきに対する精度劣化の検討,” 電気学会研究会資料 電子回路研究会, ECT-018-015, 2018.
- (10) 楊逸銘, 稲垣雄志, 松谷康之, “サブレンジング機構を用いたサイクリック TDC の検討,” 電気学会研究会資料 電子回路研究会, ECT-018-016, 2018.
- (11) 東洋太, 稲垣雄志, 松谷康之, “電圧-時間変換を用いた電圧比較用回路の研究,” 電気学会研究会資料 電子回路研究会, ECT-018-047, 2018.
- (12) 田中駿佑, 松谷康之, 稲垣雄志, “Multi-Delay インバータを用いたバーニア型サブレンジング TDC の検討,” 平成 30 年 電気学会 電子・情報・システム部門大会講演論文集, GS13-2, 2018.
- (13) 楊逸銘, 稲垣雄志, 松谷康之, “可変周期発振回路を用いたサイクリック型 TDC の検討,” 平成 30 年 電気学会 電子・情報・システム部門大会講演論文集, GS13-3, 2018.
- (14) 東洋太, 稲垣雄志, 松谷康之, “Rail-to-Rail 入力電圧範囲の電圧-時間変換回路を用いた電圧比較器の一検討,” 電気学会研究会資料 電子回路研究会, ECT-019-063, 2019.
- (15) 田中駿佑, 松谷康之, 稲垣雄志, “可変遅延器によるバーニア型サブレンジング TDC の検討,” 電気学会研究会資料 電子回路研究会, ECT-019-065, 2019.

特許

- (1) 松谷康之, 水上恵理, 稲垣雄志, 水上和希, 渡邊のぞみ, “周波数通倍回路,” 特許 6545590 号, 2015 年 9 月 25 日出願

受賞

- (1) 電子情報通信学会 東京支部学生奨励賞, 2009.
- (2) 電気学会 電子回路技術委員会奨励賞, 2017.
- (3) 電子情報通信学会 WIP 優秀発表賞, 2019.

その他の業績

学術論文（査読あり）

- (1) 米川陸, 稲垣雄志, 井岡恵理, 高瀬恭英, 松谷康之, “容量 DAC を用いた 2 次プレディクティブ ADC,” 電気学会論文誌 C, vol. 138, no. 1, pp. 29-36, 2018.
- (2) 長谷川大介, 稲垣雄志, 松谷康之, “RC フィルタを用いた 4 次 $\Delta\Sigma$ 型 A/D 変換回路構成の検討,” 電気学会論文誌 C, vol. 139, no. 4, pp. 486-491, 2019.

国内学会および研究会

- (1) 武藤優, 稲垣雄志, 立山琢, 横山貴博, 中田恭子, “理工学教育用気体運動シミュレータの開発”, 第 71 回 応用物理学会学術講演会 講演予稿集, 15A-P6-16, 2010.
- (2) 渡邊のぞみ, 井岡恵理, 稲垣雄志, 松谷康之, “ $\Delta\Sigma$ モジュータを用いた任意周波数通倍回路,” 電気学会研究会資料 電子回路研究会, ECT-015-088, 2015.
- (3) 米川陸, 井岡恵理, 稲垣雄志, 松谷康之, “高次予測変換型 A/D 変換回路構成の検討,” 電気学会研究会資料 電子回路研究会, ECT-016-047, 2016.
- (4) 田村貴志, 井岡恵理, 稲垣雄志, 松谷康之, “位相調整をパルス幅によって行う DCO の一検討,” 電気学会研究会資料 電子回路研究会, ECT-016-083, 2016.
- (5) 水上和希, 井岡恵理, 稲垣雄志, 松谷康之, “ $\Delta\Sigma$ 型周波数通倍器の研究,” 電気学会研究会資料 電子回路研究会, ECT-016-089, 2016.
- (6) 林圭祐, 井岡恵理, 稲垣雄志, 松谷康之, “チョッピング回路を用いた多段 $\Delta\Sigma$ ADC の一検討,” 電気学会研究会資料 電子回路研究会, ECT-016-091, 2016.
- (7) 米川陸, 井岡 恵里, 稲垣雄志, 松谷康之, “容量センサ用 A/D 変換回路の一検討,” 電気学会研究会資料 電子回路研究会, ECT-016-093, 2016.
- (8) 永原亜希子, 米川 陸, 井岡 恵里, 稲垣雄志, 松谷康之, “2 次プレディクティブ ADC の初期値設定回路の一検討,” 電気学会研究会資料 電子回路研究会, ECT-017-049, 2017.
- (9) 長谷川大介, 井岡恵理, 稲垣雄志, 松谷康之, “1bit 量子化器を用いた 3 次 $\Delta\Sigma$ 型 A/D 変換回路の研究,” 電気学会研究会資料 電子回路研究会, ECT-017-050, 2017.
- (10) 青木勇樹, 井岡恵理, 稲垣雄志, 松谷康之, “R-2R ラダーを用いた積分型逐次比較 A/D 変換器,” 電子情報通信学会 2017 年総合大会講演論文集, A-1-10, 2017.
- (11) 米川陸, 井岡恵理, 稲垣雄志, 松谷康之, “容量センサ用 A/D 変換回路の一検討,” 電子情報通信学会 2017 年総合大会講演論文集, A-1-11, 2017.
- (12) 三浦智也, 井岡恵理, 稲垣雄志, 松谷康之, “フェーズインクリメンタル ADC の低電圧化の検討,” 電子情報通信学会 2017 年総合大会講演論文集, A-1-13, 2017.
- (13) 長谷川大介, 稲垣雄志, 松谷康之, “1bit 量子化器を用いた 4 次 $\Delta\Sigma$ 型 A/D 変換回路の研究,” 電気学会研究会資料 電子回路研究会, ECT-017-108, 2017.
- (14) 長谷川大介, 稲垣雄志, 松谷康之, “RC フィルタを用いた 4 次 $\Delta\Sigma$ 型 A/D 変換回路構成の一検討,” 電気学会研究会資料 電子回路研究会, ECT-018-022, 2018.

- (15)永原亜希子, 稲垣雄志, 米川 陸, 松谷康之, "DWA を用いた逐次比較 ADC の高精度化の検討," 電気学会研究会資料 電子回路研究会, ECT-018-023, 2018.
- (16)藤田隆佑, 稲垣雄志, 松谷康之, "帰還レベル切換による $\Delta\Sigma$ 型 A/D 変換回路の高精度化の検討," 平成 30 年 電気学会 電子・情報・システム部門大会講演論文集, GS13-4, 2018.
- (17)村越悠太, 松谷康之, 稲垣雄志, "TimeAMP を用いた PLL 用位相検出器の一検討," 電気学会研究会資料 電子回路研究会, ECT-018-081, 2018.
- (18)吉田顕鑑, 稲垣雄志, 松谷康之, "画素並列 AD 変換方式イメージセンサの高感度化と雑音対策の検討," 電気学会研究会資料 電子回路研究会, ECT-018-091, 2018.
- (19)服部拓成, 稲垣雄志, 松谷康之, "CDR用PLL構成の一検討," 電気学会研究会資料 電子回路研究会, ECT-018-092, 2018.
- (20)大場栄一, 稲垣雄志, 松谷康之, "ランプ波切替機構を用いた CMOS イメージセンサ広ダイナミックレンジ化の検討," 電気学会研究会資料 電子回路研究会, ECT-019-038, 2019.
- (21)藤田隆佑, 稲垣雄志, 松谷康之, "帰還量切換による $\Delta\Sigma$ 型 ADC の高精度化の検討," 電気学会研究会資料 電子回路研究会, ECT-019-039, 2019.
- (22)吉田顕鑑, 稲垣雄志, 松谷康之, "セルフバイアス機構による画素並列 A/D 変換方式イメージセンサの高感度化とノイズ低減の検討," 第 32 回 回路とシステムワークショップ 論文集, pp. 68-72, 2019. (査読あり)
- (23)村越悠太, 松谷康之, 稲垣雄志, "非線形 TimeAMP による PLL の高精度化の一検討," 電気学会研究会資料 電子回路研究会, ECT-019-064, 2019.
- (24)服部拓成, 稲垣雄志, 松谷康之, "DCO を用いた CDR の位相ドリフト改善の一検討," 電気学会研究会資料 電子回路研究会, ECT-019-066, 2019.

特許

- (1) 佐藤裕樹, 藤原宗, 武渕堅次, 松谷康之, 水上恵理, 稲垣雄志, 長谷川大介, "連続時間型デルタシグマ ADC 回路", 特願 2017-013215 号, 2017 年 1 月 27 日出願
- (2) 高瀬恭英, 松谷康之, 水上恵理, 稲垣雄志, 水上和希, 渡邊のぞみ, 米川陸, "A/D 変換器およびそれを備えるセンサ装置," 特願 2018-511990 号, 2017 年 4 月 7 日出願